commodore COMPUTER

C64+B+BII+C

MC-Service

commodore

Ersatzteilkatalog
Spare parts catalogue
Catalogue de piecès de rechange
Catálogo de Repuestos

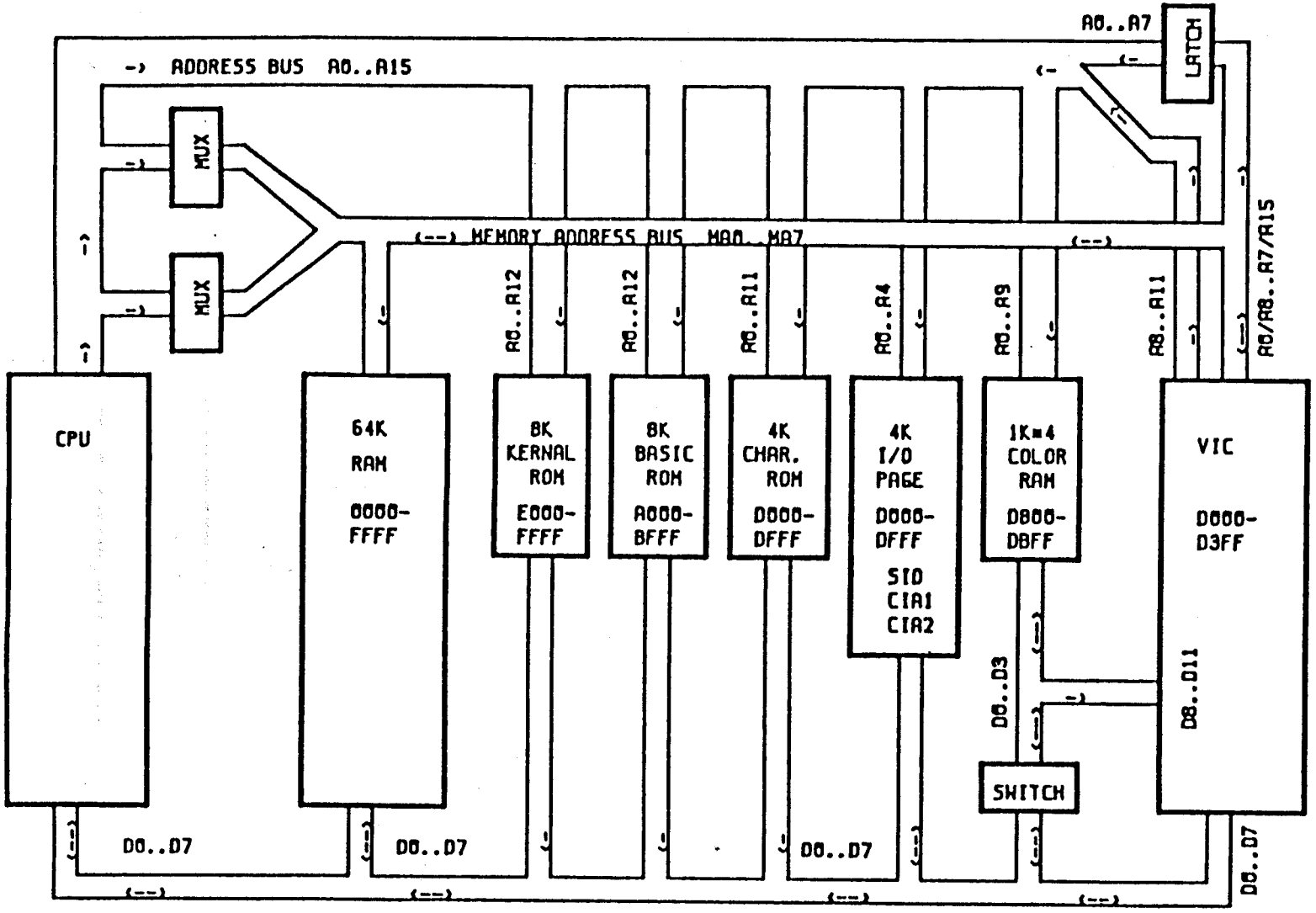
C 64

COMMODORE BÜROMASCHINEN
GMBH

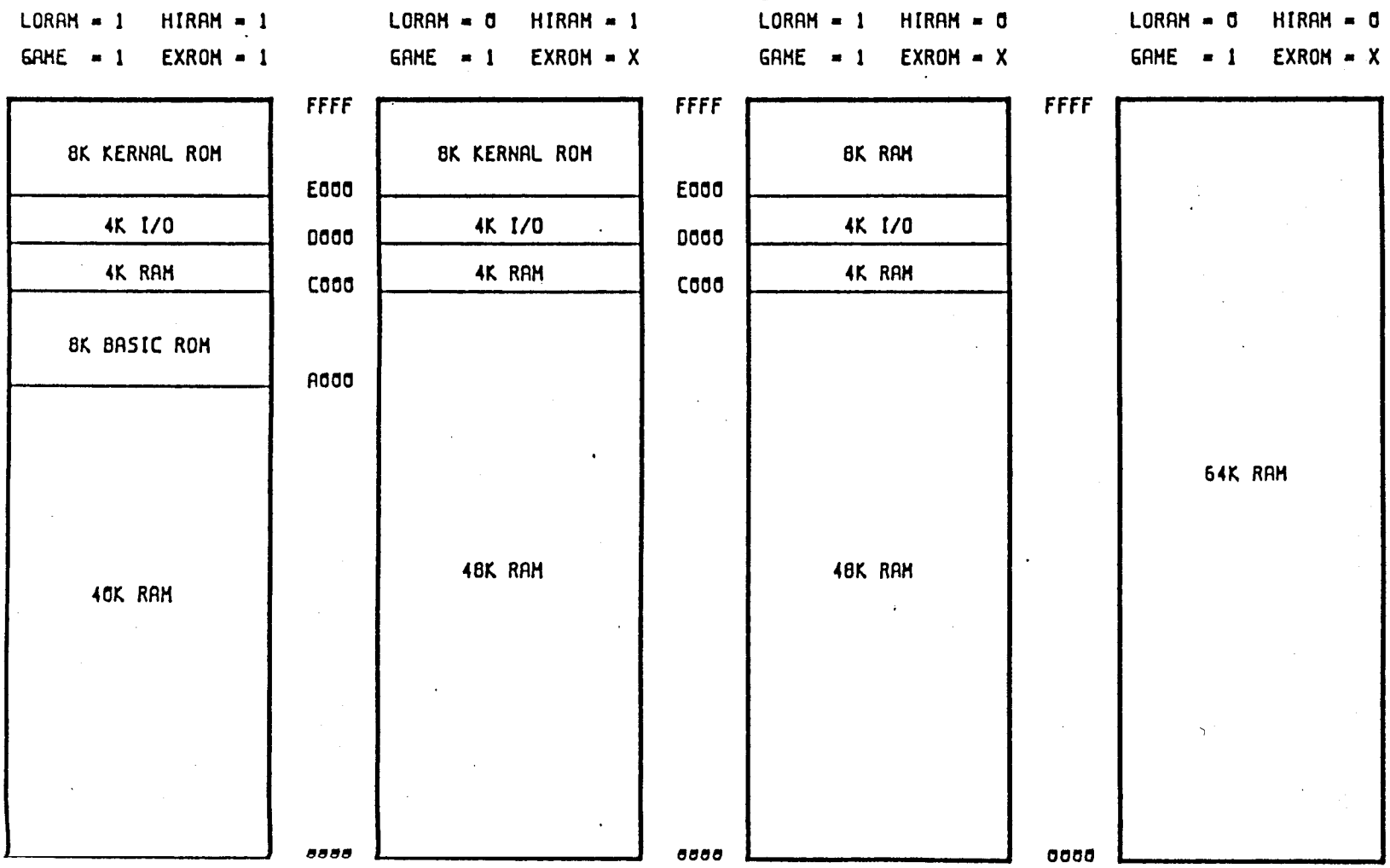
Auf einen Blick Commodore 64

Merkmale	Daten
Mikroprozessor	Commodore MOS 6510 Maschinensprache-kompatibel mit MOS 6502
Speicher	64 KByte RAM 38 KByte für BASIC-Programme und Daten 52 KByte für Maschinensprache-Programme
Betriebssystem	20 KByte ROM Commodore BASIC V2
Programmiersprachen	BASIC-Interpreter im ROM, zusätzlich UCSD-PASCAL, COMAL, LOGO und PILOT ladbar
Tastatur	ASC II-Schreibmaschinentastatur mit programmierbaren Funktionstasten (4 Tasten für 8 Funktionen)
Grafik	Hochauflösende Farbgrafik (320 x 200 = 64.000 Punkte), 16 Farben
Grafik-Zeichen	62 verschiedene Symbole
Sprite-Grafik	8 unabhängige Sprites bestehend aus je 21 x 24 Punkten
Bildschirm	Beliebiges Farbfernsehgerät (HF- oder Video-Eingang) oder Monitor
Zeichenauflösung	25 Zeilen à 40 Zeichen
Musik-Synthesizer	3 Tongeneratoren mit je 8 Oktaven und vier verschiedenen Wellenformen (Sinus, Sägezahn, Rechteck, Puls), Hüllkurve der Tongeneratoren veränderbar, Hoch-, Tief- und Bandpaßfilter, Ringmodulator, Geräuschgenerator
Schnittstellen	RS 232 C (V 24) mit TTL-Pegeln; USER PORT 8 Bit parallel, frei programmierbar; Cassetten-Port für Datassette; serieller IEEE-Bus für Floppy/Drucker; IEEE-488 8 Bit parallel (Option)

These documents are for repair service information only. Part numbers are for reference only. Only parts on current dealer parts list are available. No license is given for any use by possession of these documents and may not be reproduced in any form without the written approval of Commodore Electronics Limited.

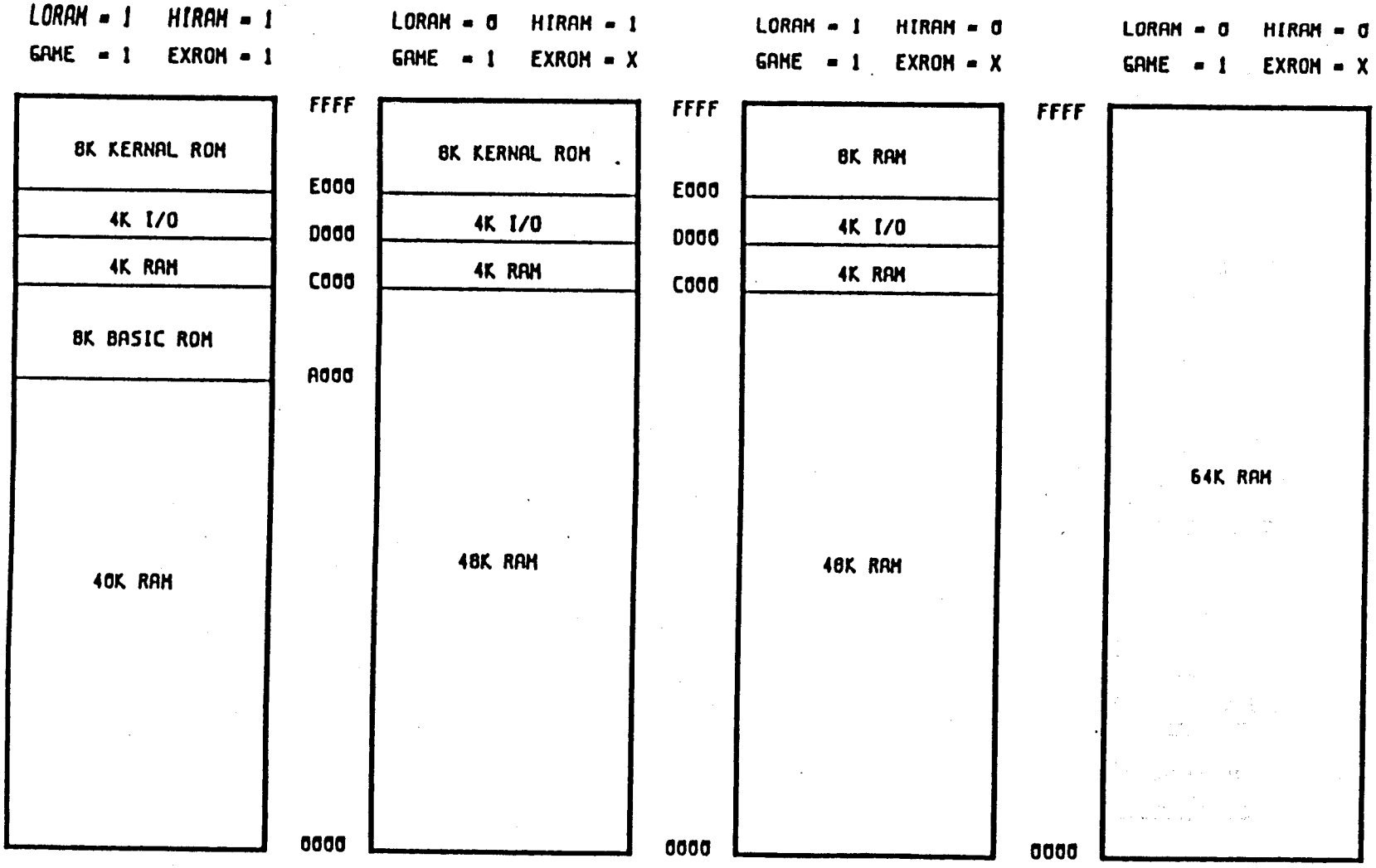


CBM PCB LAYOUT SYSTEM REV 3.0 PLOTTING TIME 00:17:29 SCALE: 2 : 3 BOTTOM SHEET 1 - 1 FILE C64BLOCK



C 64 SPEICHERVERTEILUNG FUER RAM/BASIC/KERNAL/IO

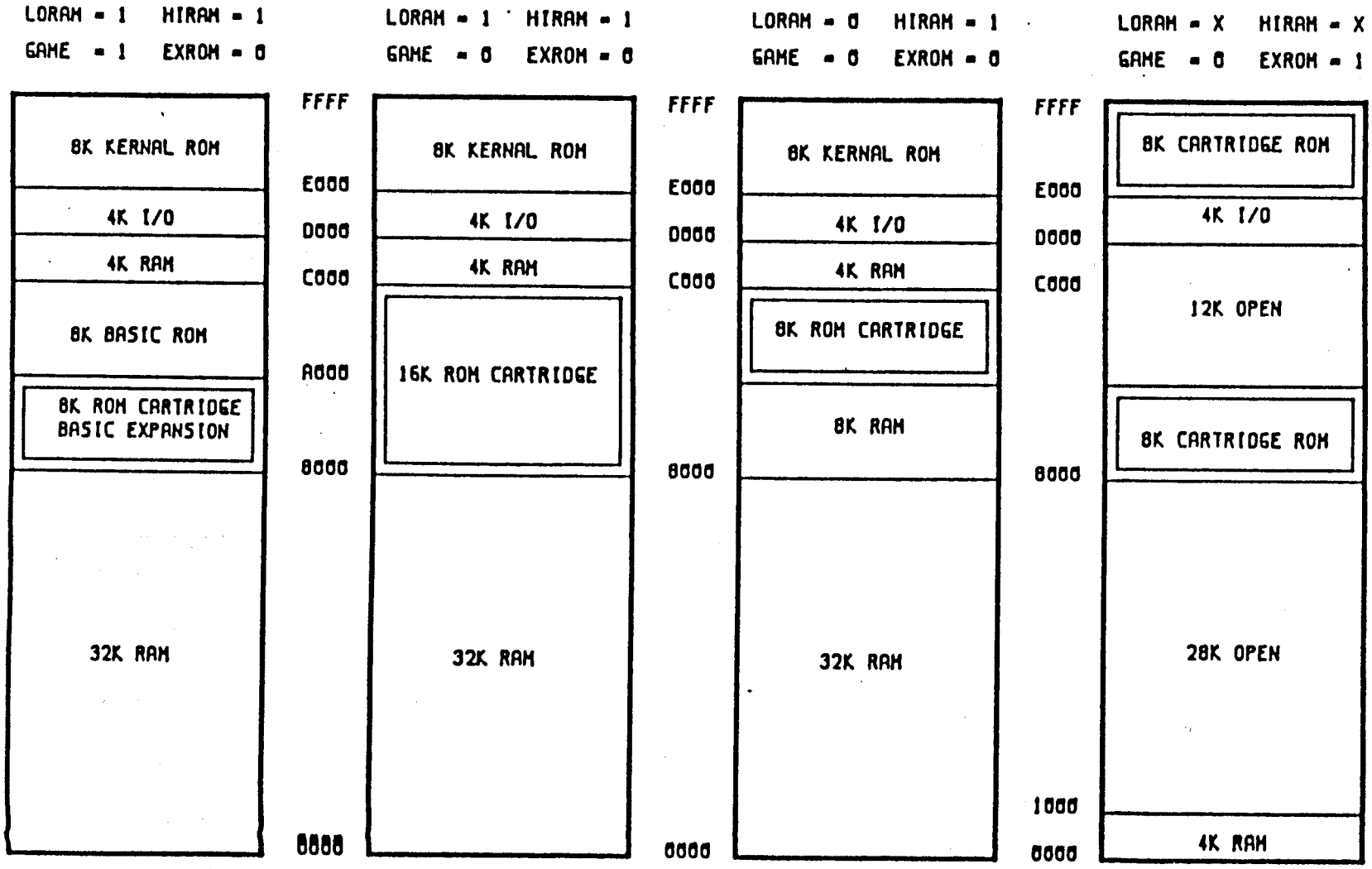
C64. LAYOUT SYSTEM REV 1.8 PLOTTING TIME 86:08:12 SCALE: 1 BOTTOM SHEET 1 - 1 FILE C64MEMMAP



C 64 SPEICHERVERTEILUNG FUER RAM/BASIC/KERNAL/IO

CBM PCB LAYOUT SYSTEM REV 1.0 PLOTTING TIME 00:00:15 SCALE: 1 : 1 BOTTOM SHEET 1 - 1 FILE C64RAMMAP

MC-Service



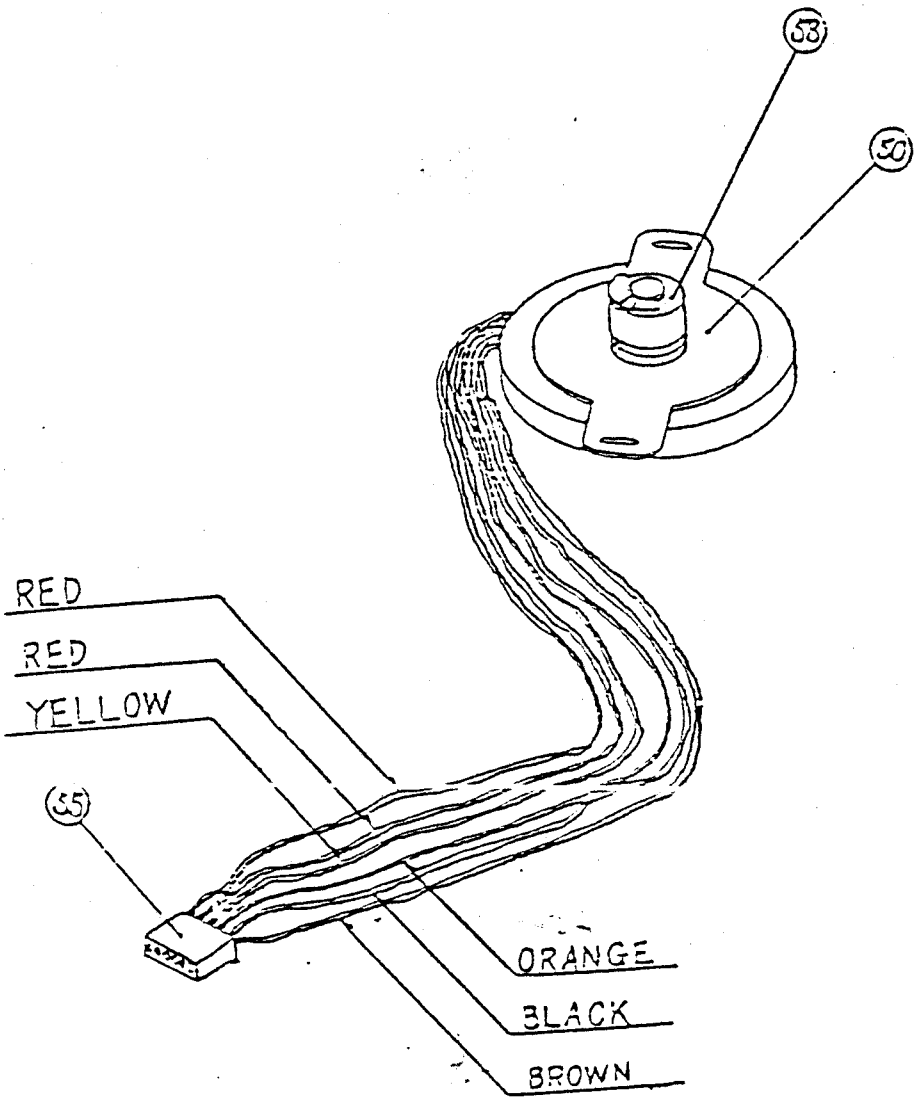
C 64 SPEICHERVERTEILUNG FUER RAM/BASIC/KERNAL/IO/EXTERER ROM

CBM PCB LAYOUT SYSTEM REV 3.0 PLOTTING TIME 08:13:08 SCALE: 2 : 1 BOTTOM SHEET 1 - 1 FILE C64MAPPR

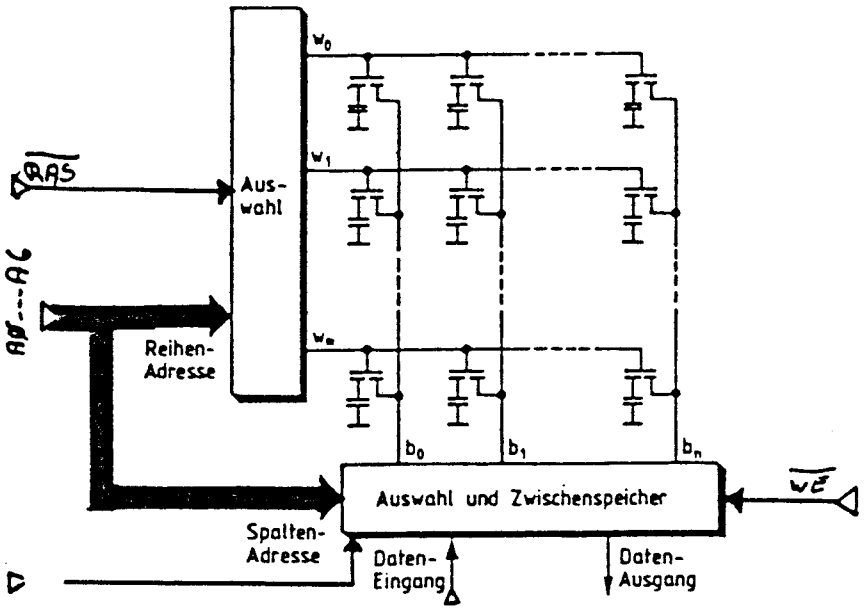
2.3.4 The stepping motor assembly; install the stepping pulley.

2.3.5 FIG 2, The stepping motor unit

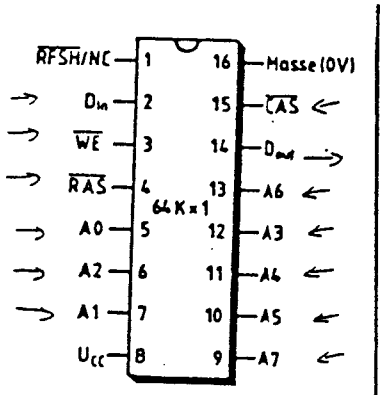
Part	Description
50	stepping motor assembly
55	connector housing
58	stepper pulley



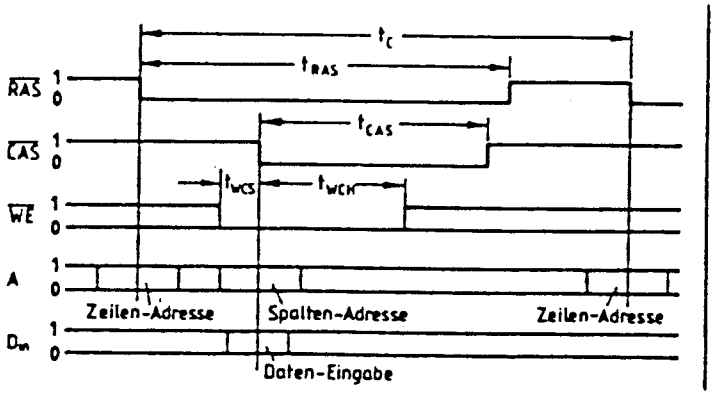
Dynamischer Speicher



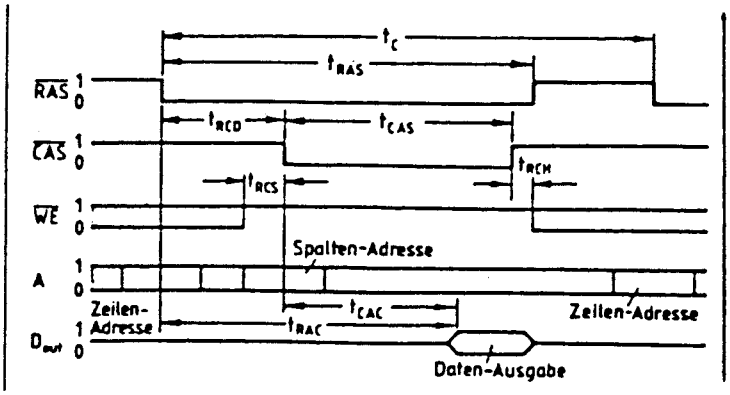
Interner Aufbau



Pinbelegung



Datenbit schreiben



Datenbit lesen

DATENBLATT MIKROPROZESSOR 6510

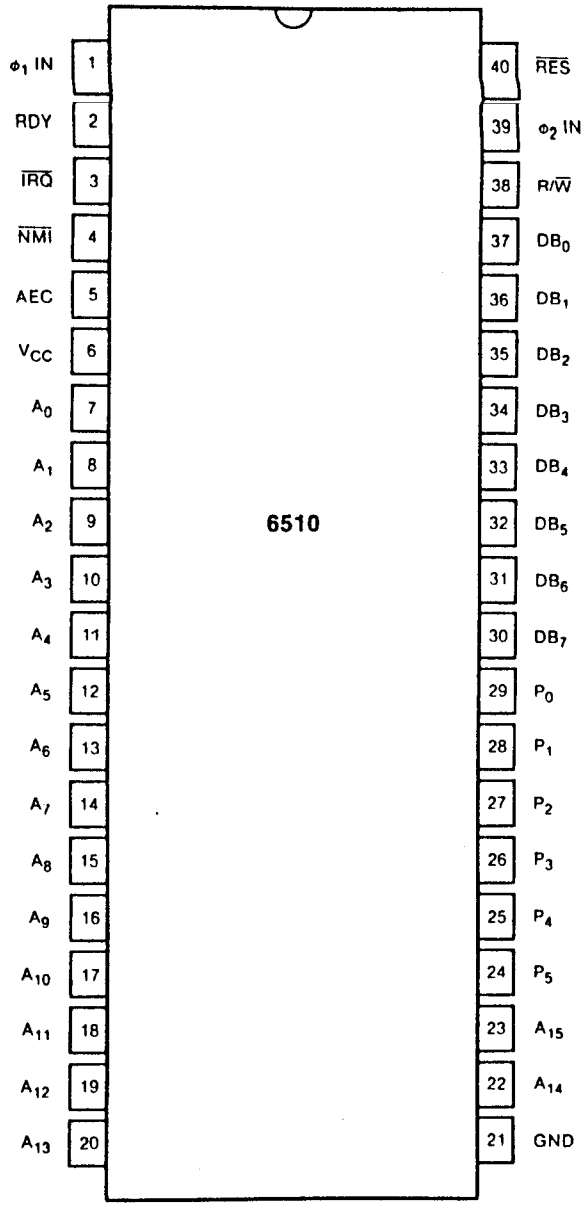
BESCHREIBUNG

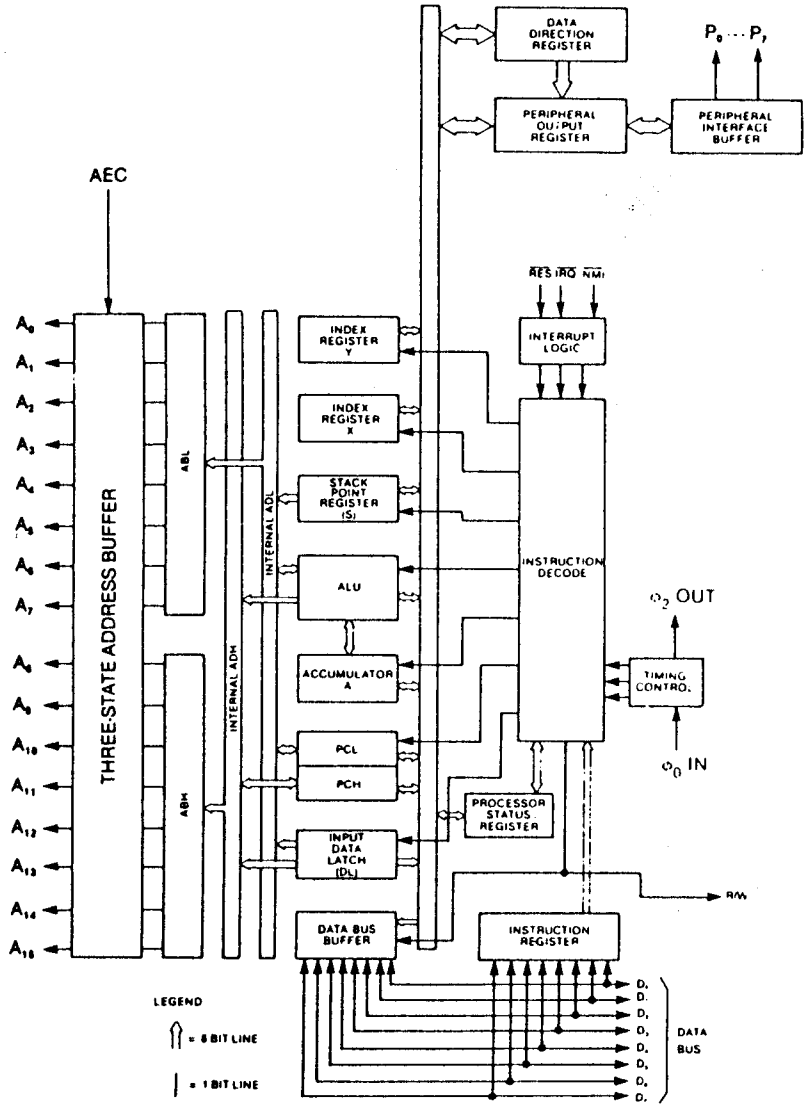
Die 6510-Familie ist ein Mikrocomputersystem, das imstande ist, viele Probleme aus dem Bereich der Mikrocomputer und Peripheriegeräte mit minimalen Kosten zu lösen. Ein 8-Bit bidirektionaler I/O-Port befindet sich "on chip", dessen Ausgaberegister unter Adresse 0000 und dessen Daten-Richtungsregister bei Adresse 0001 erreichbar sind. Das I/O-Port ist Bit für Bit programmierbar.
Der Tri-state 16-Bit Adreßbus ermöglicht auf einfache Weise DMA und den Zugriff mehrerer CPU auf ein und denselben Speicher.
Die interne Prozessorarchitektur ist identisch mit der des MOS TECHNOLOGY 6502, um die Software kompatibel zu machen.

BESONDERHEITEN DES 6510:

- 8-Bit bidirektionaler I/O-Port
- 5 Volt Versorgungsspannung
- 8-Bit Datenlänge
- 56 Befehle
- Dezimale und binäre Arithmetik
- 13 Adressierungsarten
- Absolute indirekte Adressierung
- Programmierbarer Stackzeiger
- Variable Stacklänge
- Interruptmöglichkeiten
- 65K Bytes adressierbar
- Direkt Memory Access (DMA)
- Bus-compatibel zum M6800
- "Pipeline" Architektur
- 1-MHz und 2-MHz Takt

PIN-ANORDNUNG





6510 BLOCK-DIAGRAMM

MERKMALE DES 6510

RATING	SYMBOL	VALUE	UNIT
SUPPLY VOLTAGE	V_{CC}	−0.3 to +7.0	V_{DC}
INPUT VOLTAGE	V_{in}	−0.3 to +7.0	V_{DC}
OPERATING TEMPERATURE	T_A	0 to +70	°C
STORAGE TEMPERATURE	T_{STG}	−55 to +150	°C

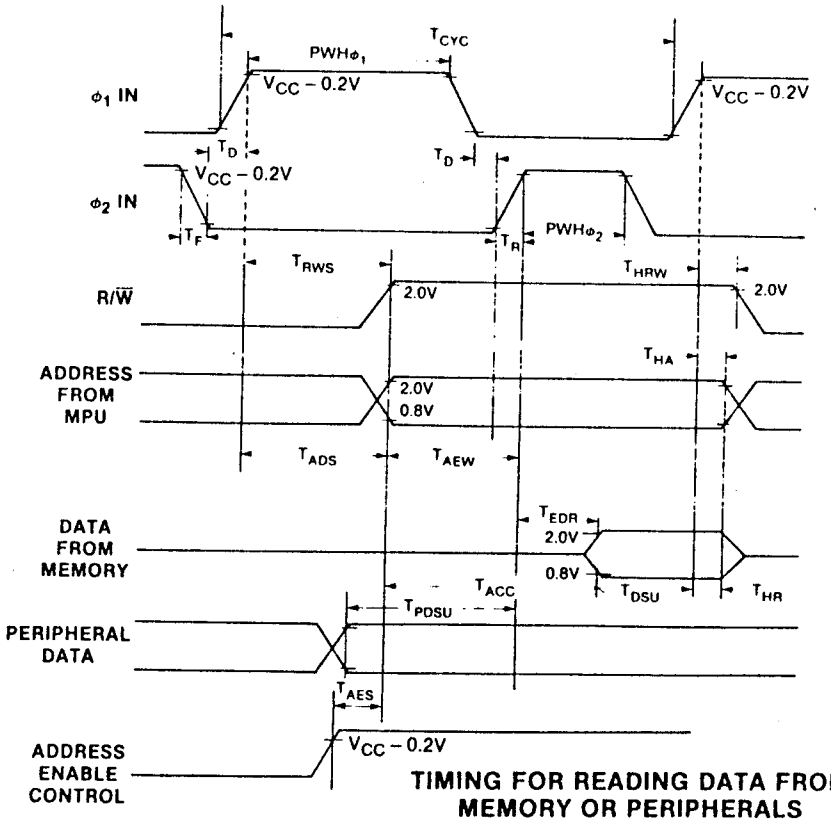
Anmerkung: Dieses Gerät ist gegen Schäden durch Hochspannung oder elektrische Felder geschutzt; Spannungen uber dem angegebenen max. Nennwert sollten jedoch nicht angelegt werden

ELEKTRISCHE EIGENSCHAFTEN
(V_{CC} = 5,0 V +/− 5%, V_{SS} = 0, T_A = 0° bis +70° C)

CHARACTERISTIC	SYMBOL	MIN.	TYP.	MAX.	UNIT
Input High Voltage ϕ_1, $\phi_{2(in)}$	V_{IH}	V_{CC} − 0.2	—	V_{CC} + 1.0V	V_{DC}
Input High Voltage RES, P_0-P_7, IRQ, Data		V_{SS} + 2.0	—	—	V_{DC}
Input Low Voltage ϕ_1, $\phi_{2(in)}$	V_{IL}	V_{SS} − 0.3	—	V_{SS} + 0.2	V_{DC}
RES, P_0-P_7, IRQ, Data		—	—	V_{SS} + 0.8	V_{DC}
Input Leakage Current (V_{in} = 0 to 5.25V, V_{CC} = 5.25V)					
Logic	I_{in}	—	—	2.5	μA
ϕ_1, $\phi_{2(in)}$		—	—	100	μA
Three State (Off State) Input Current (V_{in} = 0.4 to 2.4V, V_{CC} = 5.25V)					
Data Lines	I_{TSI}	—	—	10	μA
Output High Voltage (I_{OH} = −100μA$_{DC}$, V_{CC} = 4.75V)					
Data, A0-A15, R/W, P_0-P_7	V_{OH}	V_{SS} + 2.4	—	—	V_{DC}

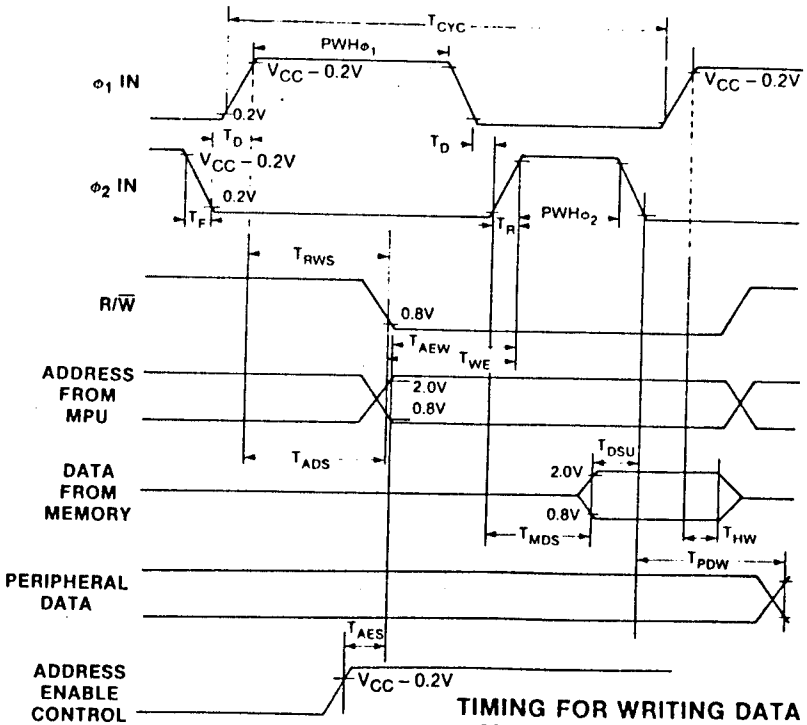
CHARACTERISTIC	SYMBOL	MIN.	TYP.	MAX.	UNIT
Out Low Voltage (I_{OL} = 1.6mA$_{DC}$, V_{CC} = 4.75V) Data, A0-A15, R/W, P_0-P_7	V_{OL}	—	—	V_{SS} + 0.4	V_{DC}
Power Supply Current	I_{CC}	—	125		mA
Capacitance (V_{in} = 0, T_A = 25°C, f = 1MHz)	C				pF
Logic, P_0-P_7	C_{in}	—	—	10	
Data		—	—	15	
A0-A15, R/W	C_{out}	—	—	12	
ϕ_1	$C\phi_1$	—	30	50	
ϕ_2	$C\phi_2$	—	50	80	

CLOCK TIMING



TIMING FOR READING DATA FROM MEMORY OR PERIPHERALS

CLOCK TIMING



TIMING FOR WRITING DATA TO MEMORY OR PERIPHERALS

WS-EIGENSCHAFTEN

ELEKTRISCHE EIGENSCHAFTEN (V_{CC} = 5,0 V ± 5%, V_{SS} = 0 V, T_A = 0°–70° C)

CLOCK TIMING — **1MHz TIMING** — **2 MHz TIMING**

CHARACTERISTIC	SYMBOL	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	UNITS
Cycle Time	T_{CYC}	1000	—	—	500	—	—	ns
Clock Pulse Width $\phi 1$	PWH$\phi 1$	430	—	—	215	—	—	ns
(Measured at V_{CC} − 0.2V) $\phi 2$	PWH$\phi 2$	470	—	—	235	—	—	ns
Fall Time, Rise Time (Measured from 0.2V to V_{CC} − 0.2V)	T_F, T_R	—	—	25	—	—	15	ns
Delay Time between Clocks (Measured at 0.2V)	T_D	0	—	—	0	—	—	ns

READ/WRITE TIMING (LOAD = 1TTL) — **1 MHz TIMING** — **2 MHz TIMING**

CHARACTERISTIC	SYMBOL	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	UNITS
Read/Write Setup Time from 6508	T_{RWS}	—	100	300	—	100	150	ns
Address Setup Time from 6508	T_{ADS}	—	100	300	—	100	150	ns
Memory Read Access Time	T_{ACC}	—	—	575	—	—	300	ns

Data Stability Time Period	T_{DSU}	100	—	—	50			ns
Data Hold Time-Read	T_{HR}		—	—				ns
Data Hold Time-Write	T_{HW}	10	30	—	10	30		ns
Data Setup Time from 6510	T_{MDS}	—	150	200	—	75	100	ns
Address Hold Time	T_{HA}	10	30	—	10	30		ns
R/W Hold Time	T_{HRW}	10	30	—	10	30		ns
Delay Time, Address valid to $\phi 2$ positive transition	T_{AEW}	180	—	—				ns
Delay Time, $\phi 2$ positive transition to Data valid on bus	T_{EDR}	—	—	395				ns
Delay Time, Data valid to $\phi 2$ negative transition	T_{DSU}	300	—	—				ns
Delay Time, R/W negative transition to $\phi 2$ positive transition	T_{WE}	130	—	—				ns
Delay Time, $\phi 2$ negative transition to Peripheral Data valid	T_{PDW}	—	—	1				µs
Peripheral Data Setup Time	T_{PDSU}	300	—	—				ns
Address Enable Setup Time	T_{AES}			60			60	ns

MC-Service

SIGNALBESCHREIBUNG

TAKT ($Ø_1$, $Ø_2$)

Die CPU 6510 benötigt einen sich nicht überlappenden Zweiphasentakt, der den Pegel V_{cc} hat.

ADRESSBUS (A_0–A_{15})

Diese Ausgänge sind TTL-kompatibel (1 Standardeingang + 103 pF).

DATENBUS (D_0–D_7)

Diese 8 Pins übermitteln die Daten von der CPU zum Speicher (oder anderen Bausteinen) und umgekehrt. Es sind Tristate-Buffer, die TTL-Standard + 103 pF treiben können.

RESET (RES):

Dieser Eingang wird benutzt, um den Prozessor nach dem Einschalten zu starten oder (im Betrieb) in einen definierten Zustand zu bringen. Liegt dieser Eingang auf L-Pegel, kann der Prozessor nicht ein- oder ausgeben. Wenn auf diesen Eingang eine positive Flanke geschaltet wird, beginnt der Prozessor mit der Reset-Prozedur. Nach einer Systeminitialisierungszeit von 6 Taktzyklen wird das Interruptflag gesetzt, und der Prozessor lädt den Programmzähler mit dem Inhalt der Adresse $FFFC und $FFFD. Wenn nach dem Einschalten V_{cc} 4,75 V erreicht, muß RESET noch 2 Taktzyklen auf Low gehalten werden. Während dieser Zeit wird R/W gültig. Wenn RESET dann auf H geschaltet wird, beginnt der oben beschriebene Zyklus.

INTERRUPT REQUEST ($\overline{IRQ}$):

Wenn dieser TTL-Eingang nach Low geschaltet wird, beginnt der Prozessor mit einer Interruptroutine, nachdem er den vor dem IRQ-Befehl gültigen Befehl abgearbeitet hat. Dann wird das Interruptflag im Flagregister geprüft. Falls das Interruptflag nicht gesetzt ist, beginnt der Prozessor mit der Interruptroutine. Der Programmzähler und das Flagregister werden im Stack gespeichert.
Dann setzt der Prozessor das Interruptflag, damit derselbe Interrupt nicht noch einmal bearbeitet wird. Am Ende dieses Ablaufs wird der Programmzähler mit dem Inhalt von Adresse FFFE (Low-Byte) und FFFF (High-Byte) geladen.

ADRESS ENABLE CONTROL (AEC):

Der Adreßbus ist nur gültig, wenn AEC auf High geschaltet ist. Wenn AEC Low geschaltet ist, befinden sich die Adreßausgänge im hochohmigen Zustand (Tristate). Dies erleichtert den direkten Speicherzugriff (DMA) und ermöglicht Multiprozessorsysteme.

I/O PORT (P_0–P_7)

6 Pins werden als Port genutzt, durch den Daten direkt an Peripheriegeräte geschickt werden können. Das Datenregister ist im RAM unter Adresse 0000 erreichbar. Die Ausgänge können einen Standard-TTL-Eingang und 130 pF treiben.

READ/WRITE (R/W):

Der Ausgang liegt immer auf High, er ist nur Low, wenn der Prozessor Daten in den Speicher oder in einen Peripheriebaustein schreiben will.

ADRESSIERARTEN

IMPLIZIERTE ADRESSIERUNG:

Dies ist ein 1-Byte-Befehl, der eine Operation in der CPU bewirkt.

UNMITTELBARE ADRESSIERUNG:

Das auf den Befehl folgende Byte ist der Operand, es wird keine weitere Adresse benötigt.

ABSOLUTE ADRESSIERUNG:

Hier stellt das 2. Byte das Low-Byte, das 3. Byte das High-Byte der resultierenden Adresse dar. Diese Art der Adressierung erlaubt den Zugriff auf den gesamten Speicher von 64 KB.

ZERO-PAGE-ADRESSIERUNG:

Diese Art erlaubt eine kürzere Codierung und damit eine schnellere Ausführung. Das 2. Byte des Befehls stellt das Low-Byte dar, das High-Byte wird als 0000 angenommen.

INDIZIERTE ZERO-PAGE-ADRESSIERUNG:

Diese Adressierungsart benutzt die Indexregister. Die resultierende Adresse wird errechnet, indem das 2. Byte des Befehls zum Indexregister X oder Y addiert wird. Dies ist eine Zero-Page-Adresse, es wird kein Übertrag zum High-Byte addiert, Pages werden also nicht überschritten.

INDIZIERTE ABSOLUTE ADRESSIERUNG:

Diese Art wird im Zusammenhang mit den Indexregistern X oder Y benutzt. Die resultierende Adresse wird durch Addition des Inhaltes der Register X oder Y zum 2. Byte des Befehls gebildet. Wenn nötig, wird ein Übertrag zum 3. Byte, dem High-Byte, gebildet. Diese Art der Adressierung ermöglicht es, jede Speicherstelle zu erreichen und durch Indexregisteroperationen beliebige Datenfelder mit einer Basisadresse zu erreichen.

RELATIVE ADRESSIERUNG:

Diese Art wird nur im Zusammenhang mit Verzweigungsbefehlen gebraucht und bestimmt die Zieladresse des Sprunges. Das 2. Byte des Befehls ist ein Offset, der zu dem Low-Byte des Programmzählers addiert wird, wenn der Sprung ausgeführt werden soll. Die Zieladresse kann 128 Stellen niedriger oder 127 Stellen höher als die Adresse des nächsten Befehls sein.

INDIZIERT-INDIREKTE ADRESSIERUNG:

Hier wird das 2. Byte des Befehls zum Inhalt des X-Indexregisters ohne Carry addiert. Das Ergebnis bestimmt eine Speicherstelle in der Zero-Page, wo sich das Low-Byte der resultierenden Adresse befindet. Das High-Byte befindet sich in der nächsten Speicherstelle. Beide Speicherstellen müssen sich in der Zero-Page befinden.

INDIREKT-INDIZIERTE ADRESSIERUNG:

Hier bestimmt das 2. Byte des Befehls eine Speicherstelle in der Zero-Page.
Der Inhalt wird zum Inhalt des Y-Indexregisters addiert, das Ergebnis ist das Low-Byte der resultierenden Adresse. Der Übertrag dieser Addition wird zum Inhalt der nächsten Speicherstelle addiert, das Ergebnis ist das High-Byte der echten Adresse.

ABSOLUT-INDIREKTE ADRESSIERUNG:

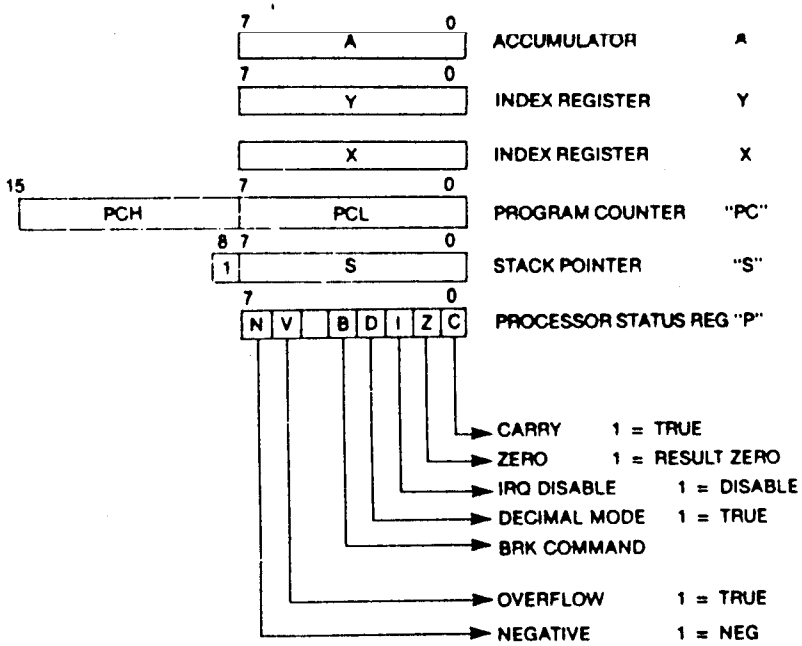
Das 2. Byte des Befehls ist das Low-Byte, das 3. Byte das High-Byte einer Speicheradresse, in der sich das Low-Byte der echten Adresse befindet. Das High-Byte der echten Adresse befindet sich auf dem nächsten Speicherplatz. Diese Adresse wird in den Programmzähler geladen.

ANWEISUNGSSATZ – ALPHABETISCHE REIHENFOLGE

ADC	Add Memory to Accumulator with Carry
AND	"AND" Memory with Accumulator
ASL	Shift Left One Bit (Memory or Accumulator)
BCC	Branch on Carry Clear
BCS	Branch on Carry Set
BEQ	Branch on Result Zero
BIT	Test Bits in Memory with Accumulator
BMI	Branch on Result Minus
BNE	Branch on Result not Zero
BPL	Branch on Result Plus
BRK	Force Break
BVC	Branch on Overflow Clear
BVS	Branch on Overflow Set
CLC	Clear Carry Flag
CLD	Clear Decimal Mode
CLI	Clear Interrupt Disable Bit
CLV	Clear Overflow Flag
CMP	Compare Memory and Accumulator
CPX	Compare Memory and Index X
CPY	Compare Memory and Index Y
DEC	Decrement Memory by One
DEX	Decrement Index X by One
DEY	Decrement Index Y by One
EOR	"Exclusive-OR" Memory with Accumulator

INC	Increment Memory by One
INX	Increment Index X by One
INY	Increment Index Y by One
JMP	Jump to New Location
JSR	Jump to New Location Saving Return Address
LDA	Load Accumulator with Memory
LDX	Load Index X with Memory
LDY	Load Index Y with Memory
LSR	Shift One Bit Right (Memory or Accumulator)
NOP	No Operation
ORA	"OR" Memory with Accumulator
PHA	Push Accumulator on Stack
PHP	Push Processor Status on Stack
PLA	Pull Accumulator from Stack
PLP	Pull Processor Status from Stack
ROL	Rotate One Bit Left (Memory or Accumulator)
ROR	Rotate One Bit Right (Memory or Accumulator)
RTI	Return from Interrupt
RTS	Return from Subroutine
SBC	Subtract Memory from Accumulator with Borrow
SEC	Set Carry Flag
SED	Set Decimal Mode
SEI	Set Interrupt Disable Status
STA	Store Accumulator in Memory
STX	Store Index X in Memory
STY	Store Index Y in Memory
TAX	Transfer Accumulator to Index X
TAY	Transfer Accumulator to Index Y
TSX	Transfer Stack Pointer to Index X
TXA	Transfer Index X to Accumulator
TXS	Transfer Index X to Stack Register
TYA	Transfer Index Y to Accumulator

PROGRAMMIERBEISPIEL



INSTRUCTIONS		Immediate			Absolute			Zero Page			Accum.			Implied			(Ind.) X			(Ind.) Y			Z. Page, X			Abs. X			Abs. Y			Relative			Indirect			Z. Page, Y			CONDITION CODES
Mnemonic	Operation	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	N Z C I D V
ADC	A + M + C → A (4) (1)	69	2	2	6D	4	3	65	3	2							61	6	2	71	5	2	75	4	2	7D	4	3	79	4	3										✓ ✓ ✓ – – ✓
AND	A∧M → A (1)	29	2	2	2D	4	3	25	3	2							21	6	2	31	5	2	35	4	2	3D	4	3	39	4	3										✓ ✓ – – – –
ASL	C ← [7 … 0] ← 0				0E	6	3	06	5	2	0A	2	1										16	6	2	1E	7	3													✓ ✓ ✓ – – –
BCC	BRANCH ON C = 0 (2)																															90	2	2							– – – – – –
BCS	BRANCH ON C = 1 (2)																															B0	2	2							– – – – – –
BEQ	BRANCH ON Z = 1 (2)																															F0	2	2							– – – – – –
BIT	A∧M				2C	4	3	24	3	2																															M_7 ✓ – – M_6
BMI	BRANCH ON N = 1 (2)																															30	2	2							– – – – – –
BNE	BRANCH ON Z = 0 (2)																															D0	2	2							– – – – – –
BPL	BRANCH ON N = 0 (2)																															10	2	2							– – – – – –
BRK	(See Fig. 1)													00	7	1																									– – – 1 – –
BVC	BRANCH ON V = 0 (2)																															50	2	2							– – – – – –
BVS	BRANCH ON V = 1 (2)																															70	2	2							– – – – – –
CLC	0 → C													18	2	1																									– – 0 – – –
CLD	0 → D													D8	2	1																									– – – – 0 –
CLI	0 → I													58	2	1																									– – – 0 – –
CLV	0 → V													B8	2	1																									– – – – – 0
CMP	A – M (1)	C9	2	2	CD	4	3	C5	3	2							C1	6	2	D1	5	2	D5	4	2	DD	4	3	D9	4	3										✓ ✓ ✓ – – –
CPX	X – M	E0	2	2	EC	4	3	E4	3	2																															✓ ✓ ✓ – – –
CPY	Y – M	C0	2	2	CC	4	3	C4	3	2																															✓ ✓ ✓ – – –
DEC	M – 1 → M				CE	6	3	C6	5	2													D6	6	2	DE	7	3													✓ ✓ – – – –
DEX	X – 1 → X													CA	2	1																									✓ ✓ – – – –
DEY	Y – 1 → Y													B8	2	1																									✓ ✓ – – – –
EOR	A∨M → A (1)	49	2	2	4D	4	3	45	3	2							41	6	2	51	5	2	55	4	2	5D	4	3	59	4	3										✓ ✓ – – – –
INC	M + 1 → M				EE	6	3	E6	5	2													F6	6	2	FE	7	3													✓ ✓ – – – –
INX	X + 1 → X													E8	2	1																									✓ ✓ – – – –
INY	Y + 1 → Y													C8	2	1																									✓ ✓ – – – –
JMP	JUMP TO NEW LOC.				4C	3	3																												6C	5	3				– – – – – –
JSR	(See Fig. 2) JUMP SUB				20	6	3																																		– – – – – –
LDA	M → A (1)	A9	2	2	AD	4	3	A5	3	2							A1	6	2	B1	5	2	B5	4	2	BD	4	3	B9	4	3										✓ ✓ – – – –

INSTRUCTIONS		Immediate			Absolute			Zero Page			Accum.			Implied			(Ind.) X			(Ind.) Y			Z. Page, X			Abs. X			Abs. Y			Relative			Indirect			Z. Page, Y			CONDITION CODES
Mnemonic	Operation	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	OP	N	#	N Z C I D V
LDX	M → X (1)	A2	2	2	AE	4	3	A6	3	2																			BE	4	3							B6	4	2	✓ ✓ – – – –
LDY	M → Y (1)	A0	2	2	AC	4	3	A4	3	2													B4	4	2	BC	4	3													✓ ✓ – – – –
LSR	0 → [7 … 0] → C				4E	6	3	46	5	2	4A	2	1										56	6	2	5E	7	3													0 ✓ ✓ – – –
NOP	NO OPERATION													EA	2	1																									– – – – – –
ORA	A∨M → A	09	2	2	0D	4	3	05	3	2							01	6	2	11	5	2	15	4	2	1D	4	3	19	4	3										✓ ✓ – – – –
PHA	$A \rightarrow M_S$ $S - 1 \rightarrow S$													48	3	1																									– – – – – –
PHP	$P \rightarrow M_S$ $S - 1 \rightarrow S$													08	3	1																									– – – – – –
PLA	$S + 1 \rightarrow S$ $M_S \rightarrow A$													68	4	1																									✓ ✓ – – – –
PLP	$S + 1 \rightarrow S$ $M_S \rightarrow P$													28	4	1																									(RESTORED)
ROL	[7 … 0] ← C				2E	6	3	26	5	2	2A	2	1										36	6	2	3E	7	3													✓ ✓ ✓ – – –
ROR	C → [7 … 0]				6E	6	3	66	5	2	6A	2	1										76	6	2	7E	7	3													✓ ✓ ✓ – – –
RTI	(See Fig. 1) RTRN INT													40	6	1																									(RESTORED)
RTS	(See Fig. 2) RTRN SUB													60	6	1																									– – – – – –
SBC	A – M – $\bar{C}$ → A (1)	E9	2	2	ED	4	3	E5	3	2							E1	6	2	F1	5	2	F5	4	2	FD	4	3	F9	4	3										✓ ✓ (3) – – ✓
SEC	1 → C													38	2	1																									– – – 1 – –
SED	1 → D													F8	2	1																									– – – – 1 –
SEI	1 → I													78	2	1																									– – – 1 – –
STA	A → M				8D	4	3	85	3	2							81	6	2	91	6	2	95	4	2	9D	5	3	99	5	3										– – – – – –
STX	X → M				8E	4	3	86	3	2																													96	4	2	– – – – – –
STY	Y → M				8C	4	3	84	3	2													94	4	2																	– – – – – –
TAX	A → X													AA	2	1																									✓ ✓ – – – –
TAY	A → Y													A8	2	1																									✓ ✓ – – – –
TSX	S → X													BA	2	1																									✓ ✓ – – – –
TXA	X → A													8A	2	1																									✓ ✓ – – – –
TXS	X → S													9A	2	1																									– – – – – –
TYA	Y → A													98	2	1																									✓ ✓ – – – –

(1) ADD 1 TO "N" IF PAGE BOUNDARY IS CROSSED.
(2) ADD 1 TO "N" IF BRANCH OCCURS TO SAME PAGE.
ADD 2 TO "N" IF BRANCH OCCURS TO DIFFERENT PAGE.
(3) CARRY NOT = BORROW
(4) IF IN DECIMAL MODE Z FLAG IS INVALID
ACCUMULATOR MUST BE CHECKED FOR ZERO RESULT.

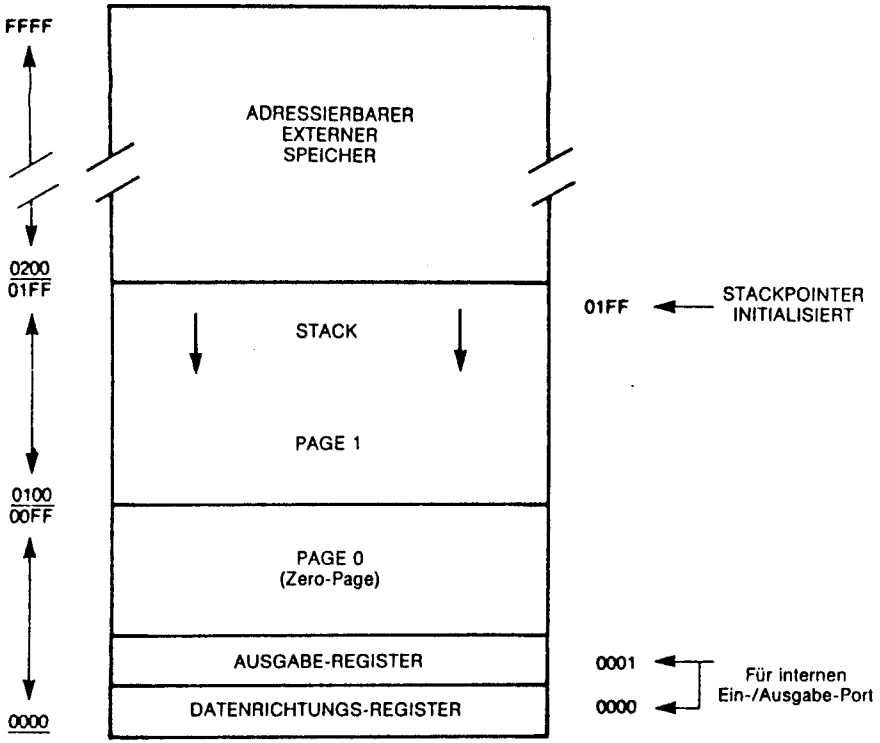
X INDEX X
Y INDEX Y
A ACCUMULATOR
M MEMORY PER EFFECTIVE ADDRESS
M_S MEMORY PER STACK POINTER

+ ADD
– SUBTRACT
∧ AND
∨ OR
∀ EXCLUSIVE OR

✓ MODIFIED
– NOT MODIFIED
M_7 MEMORY BIT 7
M_6 MEMORY BIT 6
N NO. CYCLES
NO. BYTES

NOTE: COMMODORE SEMICONDUCTOR GROUP cannot assume liability for the use of undefined OP CODES.

6510 SPEICHER-KONFIGURATION



ANMERKUNGEN:

Dadurch, daß das Datenregister des I/O-Ports in der Zero-Page liegt, werden die vorteilhaften Zero-Page-Adressierungsarten noch verstärkt.
Indem die I/O-Pins durch das Datenrichtungsregister als Eingänge geschaltet werden, hat der Benutzer die Möglichkeit, den Inhalt des Speicherplatzes 0001 durch Peripheriegeräte zu verändern. Diese Möglichkeit im Zusammenhang mit den Adressierungsbefehlen für die Zero-Page erschließt neue und ungewöhnlich vielseitige Programmierungstechniken, die es noch nicht gab.

ACHTUNG:

Der Baustein ist gegen statische Aufladung geschützt, trotzdem sollten Vorkehrungen getroffen werden, damit die Grenzwerte nicht überschritten werden.

ANHANG M

6526 COMPLEX INTERFACE ADAPTER (CIA)

BESCHREIBUNG

Der Baustein 6526 ist ein Interface-Adapter, mit dem 65XX-Bus kompatibel, mit flexiblem Timing und diversen Ein-/Ausgabemöglichkeiten.

BESONDERHEITEN

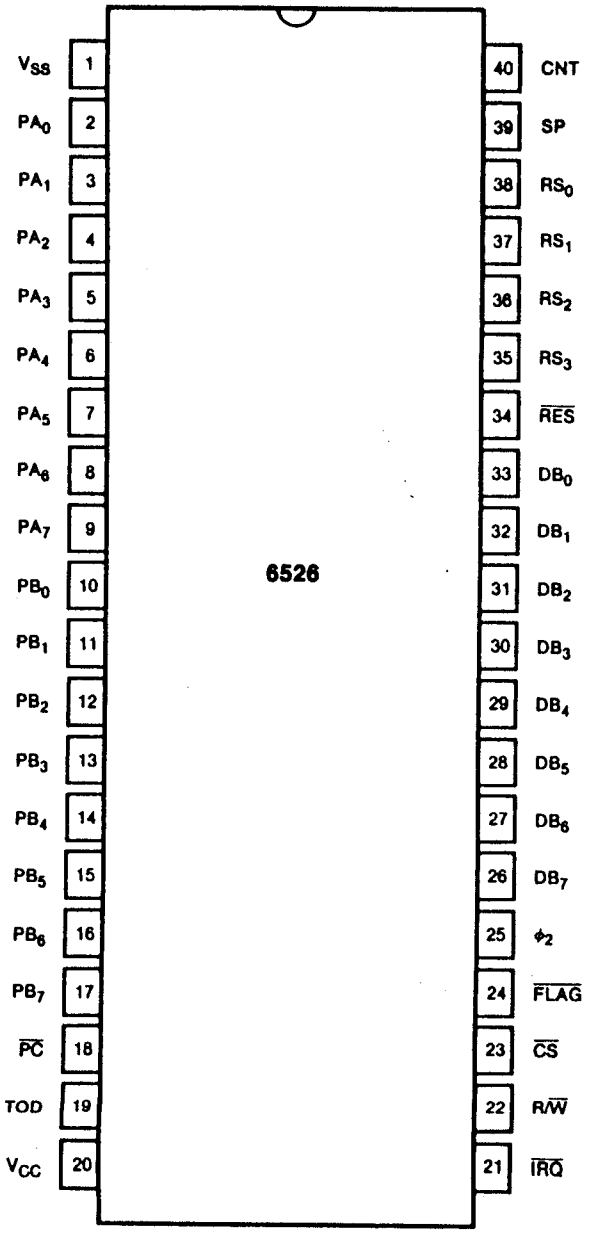
- 16 einzeln programmierbare Ein-/Ausgabeleitungen
- 8- oder 16-Bit-Datentransport mit Handshaking-Betrieb beim Lesen oder Schreiben
- 2 unabhängige, verknüpfbare 16-Bit-Intervalltimer
- 24-Stunden-(AM/PM)-Zeituhr mit programmierbarem Alarm
- 8-Bit-Schieberegister für serielle Ein-/Ausgabe
- 2 TTL-Eingänge können gespeist werden
- CMOS-kompatibel
- 1- oder 2-MHz-Takt

BESTELLUNGSHINWEISE

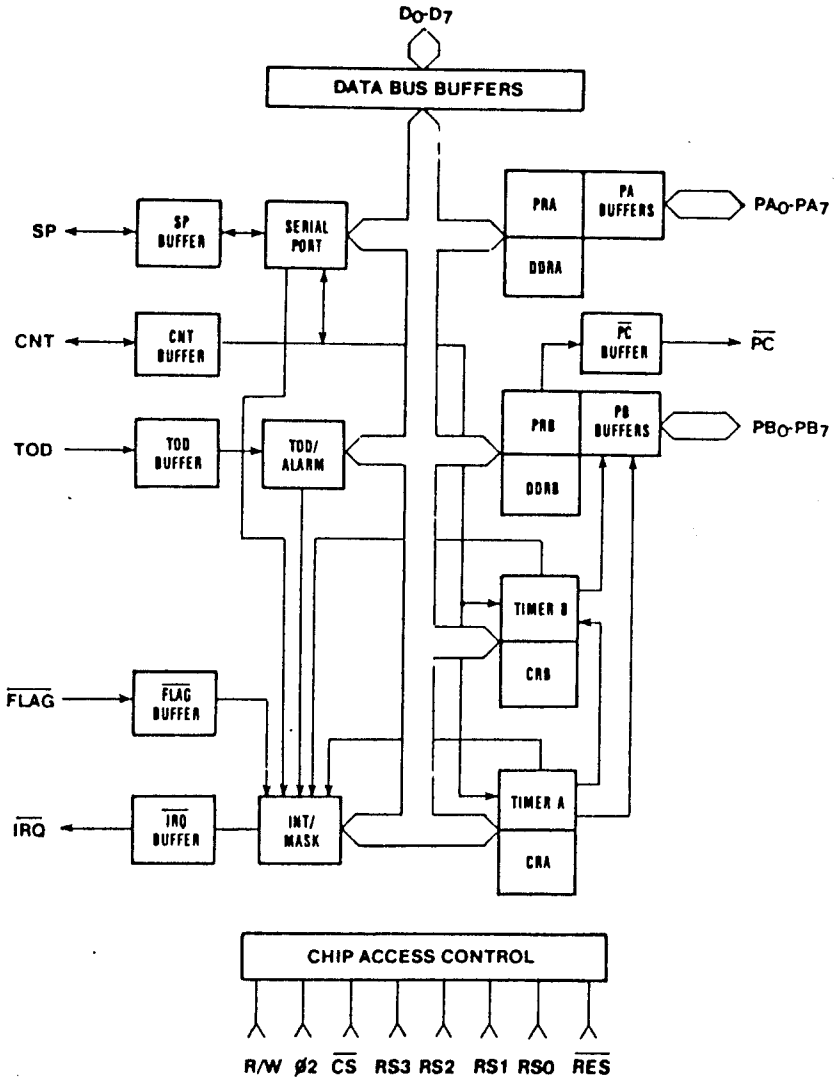
MXS 6526

MXS 6526 —
- Frequenzbereich
  - Kein Suffix = 1 MHz
  - A = 2 MHz
- Packet-Bezeichner
  - C = Keramik
  - P = Plastik

PIN-ANORDNUNG



6526
BLOCKSCHALTBILD



MAX. NENNWERTE

Versorgungsspannung V_{CC}	−0,3 V bis +7,0 V
Ein-/Ausgangsspannung V_{IN}	−0,3 V bis +7,0 V
Betriebstemperatur T_{OP}	0° C bis 70° C
Lagertemperatur T_{STG}	−55° C bis 150° C

Alle Eingänge haben Schutzschaltungen, um Schäden durch hohe statische Entladungen zu vermeiden. Spannungen überhalb der zulässigen Grenzwerte sollten jedoch nur wenn unbedingt notwendig und mit äußerster Vorsicht angelegt werden.

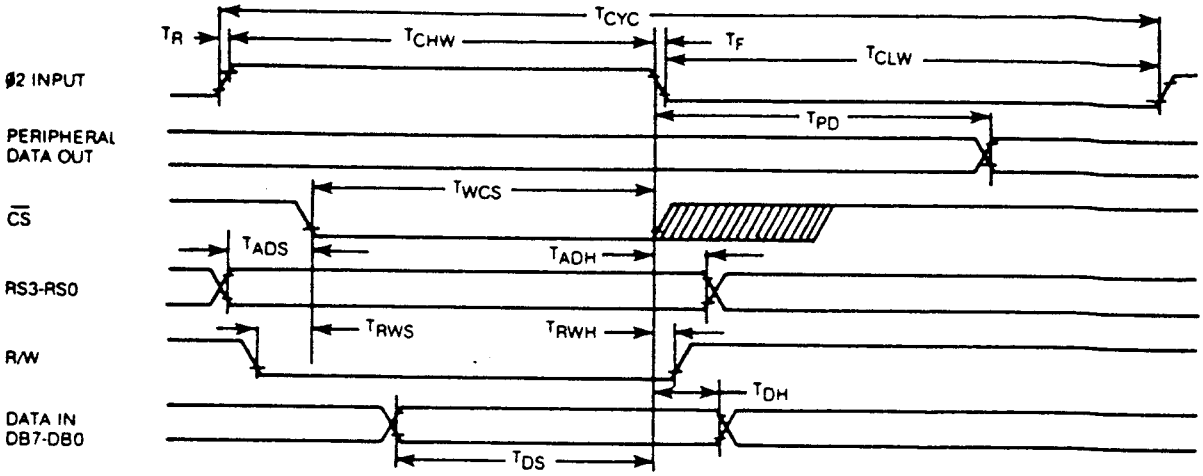
KOMMENTAR

Spannungen, die über den angegebenen max. Nennwerten liegen, können zu Schäden oder Beschädigungen des Geräts führen. Unter "max. Nennwerte" sind nur Spannungswerte aufgeführt. Wird das Gerät mit höheren als angegebenen Spannungen betrieben oder werden über einen längeren Zeitraum die max. Nennwerte gewählt, kann dies die Gerätezuverlässigkeit beeinträchtigen.

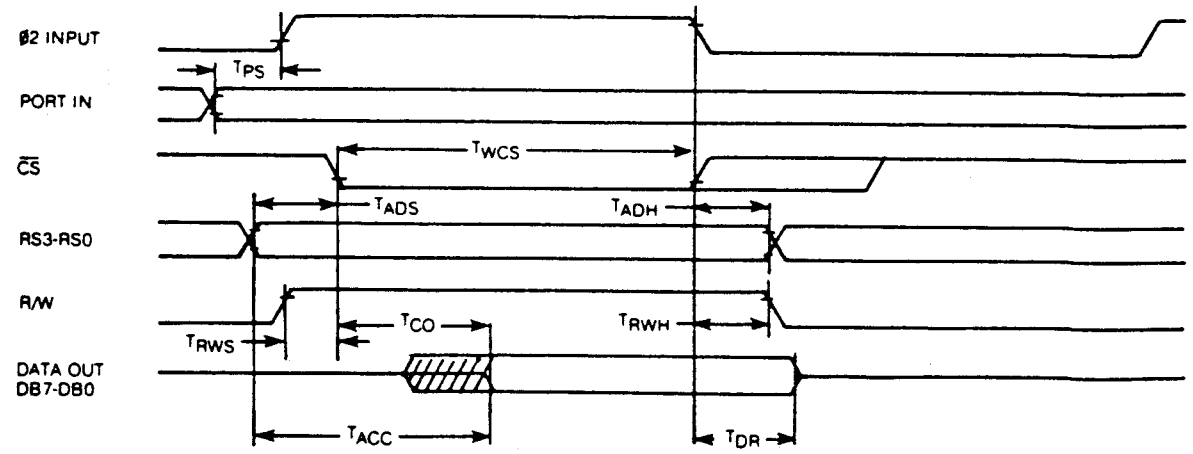
ELEKTRISCHE EIGENSCHAFTEN
(V_{CC} ± 5%, V_{SS} = 0 V, T_A = 0–70° C)

CHARACTERISTIC	SYMBOL	MIN.	TYP.	MAX.	UNIT
Input High Voltage	V_{IH}	+2.4	—	V_{CC}	V
Input Low Voltage	V_{IL}	−0.3	—	—	V
Input Leakage Current; V_{IN}=V_{SS} +5V ($\overline{TOD}$, R/W, $\overline{FLAG}$, ϕ2, $\overline{RES}$, RS0-RS3, $\overline{CS}$)	I_{IN}	—	1.0	2.5	µA
Port Input Pull-up Resistance	R_{PI}	3.1	5.0	—	KΩ
Output Leakage Current for High Impedance State (Three State); V_{IN} = 4V to 2.4V; (DB0–DB7, SP, CNT, $\overline{IRQ}$)	I_{TSI}	—	±1.0	±10.0	µA
Output High Voltage V_{CC}=MIN, I_{LOAD} < −200µA (PA0–PA7, $\overline{PC}$ PB0–PB7, DB0–DB7)	V_{OH}	+2.4	—	V_{CC}	V
Output Low Voltage V_{CC}= MIN, I_{LOAD} < 3.2 mA	V_{OL}	—	—	+0.40	V
Output High Current (Sourcing); V_{OH} > 2.4V (PA0–PA7, PB0–PB7, PC, DB0–DB7	I_{OH}	−200	−1000	—	µA
Output Low Current (Sinking); V_{OL} < .4V (PA0–PA7, $\overline{PC}$, PB0–PB7, DB0–DB7)	I_{OL}	3.2	—	—	mA
Input Capacitance	C_{IN}	—	7	10	pf
Output Capacitance	C_{OUT}	—	7	10	pf
Power Supply Current	I_{CC}	—	70	100	mA

6526 SCHREIB-TIMING-DIAGRAMM



6526 LESE-TIMING-DIAGRAMM



6526 PINBELEGUNG

Ø2-TAKTEINGANG

TTL-kompatibler Takteingang zur Steuerung der internen Funktionen und ein Timing-Bezug für die Kommunikation mit dem Systemdatenbus.

$\overline{CS}$-CHIP SELECT

Der Baustein reagiert nur dann auf die Steuereingänge RS und R/W, wenn dieser Eingang auf Low und der Takt auf High liegt.

R/W READ/WRITE

Das R/W-Signal wird normalerweise vom Prozessor erzeugt und kontrolliert die Richtung des Datentransportes. R/W = High bedeutet, daß die Daten aus dem 6526 gelesen werden können, bei Low können Daten hineingeschrieben werden.

RS3-RS0-Adreßeingänge

Damit werden die internen Register angesprochen (siehe Registerbelegung Seite 420).

DB7-BD0-Datenbus, Ein-/Ausgänge

Diese Pins verbinden den Chip mit dem Systemdatenbus und sind hochohmig, außer wenn $\overline{CS}$ Low, R/W und 02 High liegen, um Daten aus dem 6526 zu lesen. Dann sind die Datenausgangsbuffer aktiviert und übertragen die Daten vom ausgewählten Register an den Bus.

$\overline{IRQ}$ INTERRUPT REQUEST AUSGANG

Dies ist ein "open-drain"-Ausgang, der normalerweise mit dem Interrupteingang des Prozessors verbunden ist. Durch den externen Pullup-Widerstand ist es möglich, mehrere $\overline{IRQ}$-Ausgänge miteinander zu verbinden. Wie dieser Ausgang aktiviert (auf Low gezogen) werden kann, wird im Folgenden noch beschrieben.

$\overline{RES}$ RESET-EINGANG

Wenn dieser Eingang Low-Pegel hat, werden alle internen Register gelöscht. Die Ports werden als Eingänge und die Portregister auf Null geschaltet (obwohl die Ports durch die Pullup-Widerstände als High gelesen werden würden). Die Intervalltimerregister werden auf Null und die Latches auf Eins gesetzt. Alle anderen Register werden auf Null gesetzt.

6526 TIMING-CHARAKTERISTIKEN

Symbol	Characteristic	1MHz MIN	1MHz MAX	2MHz MIN	2MHz MAX	Unit
	ϕ2 Clock					
T_{CYC}	Cycle Time	1000	20,000	500	20,000	ns
T_R, T_F	Rise and Fall Time	—	25	—	25	ns
T_{CHW}	Clock Pulse Width (High)	420	10,000	200	10,000	ns
T_{CLW}	Clock Pulse Width (Low)	420	10,000	200	10,000	ns
	Write Cycle					
T_{PD}	Output Delay From ϕ2	—	1000	—	500	ns
T_{WCS}	$\overline{CS}$ low while ϕ2 high	420	—	200	—	ns
T_{ADS}	Address Setup Time	0	—	0	—	ns
T_{ADH}	Address Hold Time	10	—	5	—	ns
T_{RWS}	R/W Setup Time	0	—	0	—	ns
T_{RWH}	R/W Hold Time	0	—	0	—	ns
T_{DS}	Data Bus Setup Time	150	—	75	—	ns
T_{DH}	Data Bus Hold Time	0	—	0	—	ns
	Read Cycle					
T_{PS}	Port Setup Time	300	—	150	—	ns
T_{WCS}(2)	$\overline{CS}$ low while ϕ2 high	420	—	20	—	ns
T_{ADS}	Address Setup Time	0	—	0	—	ns
T_{ADH}	Address Hold Time	10	—	5	—	ns
T_{RWS}	R/W Setup Time	0	—	0	—	ns
T_{RWH}	R/W Hold Time	0	—	0	—	ns

Symbol	Characteristic	1MHz		2MHz		Unit
		MIN	MAX	MIN	MAX	
T_{ACC}	Data Access from RS3-RS0	—	550	—	275	ns
T_{CO}(3)	Data Access from $\overline{CS}$	—	320	—	150	ns
T_{DR}	Data Release Time	50	—	25	—	ns

NOTES: 1—All timings are referenced from V_{IL} max and V_{IH} min on inputs and V_{OL} max and V_{OH} min on outputs.
2—T_{WCS} is measured from the later of $\phi 2$ high or $\overline{CS}$ low. $\overline{CS}$ must be low at least until the end of $\phi 2$ high.
3—T_{CO} is measured from the later of $\phi 2$ high or $\overline{CS}$ low. Valid data is available only after the later of T_{ACC} or T_{CO}.

REGISTERBELEGUNG

RS3	RS2	RS1	RS0	REG	NAME	
0	0	0	0	0	PRA	PERIPHERAL DATA REG A
0	0	0	1	1	PRB	PERIPHERAL DATA REG B
0	0	1	0	2	DDRA	DATA DIRECTION REG A
0	0	1	1	3	DDRB	DATA DIRECTION REG B
0	1	0	0	4	TA LO	TIMER A LOW REGISTER
0	1	0	1	5	TA HI	TIMER A HIGH REGISTER
0	1	1	0	6	TB LO	TIMER B LOW REGISTER
0	1	1	1	7	TB HI	TIMER B HIGH REGISTER
1	0	0	0	8	TOD 10THS	10THS OF SECONDS REGISTER
1	0	0	1	9	TOD SEC	SECONDS REGISTER
1	0	1	0	A	TOD MIN	MINUTES REGISTER
1	0	1	1	B	TOD HR	HOURS—AM/PM REGISTER
1	1	0	0	C	SDR	SERIAL DATA REGISTER
1	1	0	1	D	ICR	INTERRUPT CONTROL REGISTER
1	1	1	0	E	CRA	CONTROL REG A
1	1	1	1	F	CRB	CONTROL REG B

FUNKTIONSBESCHREIBUNG

Ein-/Ausgangsports (PRA, PRB, DDRA, DDRB)

Jeder der beiden Ports A und B bestehen aus einem 8-Bit-Datenregister (PRA bzw. PRB) und einem Datenrichtungsregister (DDRA bzw. DDRB). Ist eines der Bits im DDR Eins gesetzt, wird das entsprechende Bit im PR ausgegeben; ist das Bit im DDR Null, wird das entsprechende Bit als Eingang geschaltet. Beim Lesen stellt das PR das am Ausgang (PA0-PA7, PB0-PB7) gültige Bit dar, unabhängig davon, ob der betreffende Pin als Ausgang oder Eingang geschaltet ist. Beide Ports sind sowohl TTL- als auch CMOS-kompatibel (durch aktive und passive Pullup-Elemente) und können zwei TTL-Einheiten treiben. Zusätzlich zur normalen Funktion übernehmen PB6 und PB7 die Funktion eines Intervalltimer-Ausgangs.

Handshaking

Dieses Datenübertragungsverfahren kann durch Benutzung des Ausgangs $\overline{PC}$ und des Eingangs $\overline{FLAG}$ realisiert werden. $\overline{PC}$ wird für einen Taktzyklus Low geschaltet, wenn in PRB ein- oder ausgelesen wurde. Dieses Signal kann also als "data ready"- oder "data accepted"-Signal für PRB benutzt werden. (Bei 16-Bit-Datenübertragungen [mit PRA und PRB] würde also PRA zuerst gelesen werden). Der $\overline{FLAG}$-Eingang reagiert auf negative Flanken. Mit ihm kann das $\overline{PC}$-Signal von einem anderen 6526 empfangen werden, oder er wird als Interrupteingang benutzt. Jede negative Flanke an $\overline{FLAG}$ setzt das Flag-Interrupt-Bit 4.

REG	NAME	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	PRA	PA_7	PA_6	PA_5	PA_4	PA_3	PA_2	PA_1	PA_0
1	PRB	PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0
2	DDRA	DPA_7	DPA_6	DPA_5	DPA_4	DPA_3	DPA_2	DPA_1	DPA_0
3	DDRB	DPB_7	DPB_6	DPB_5	DPB_4	DPB_3	DPB_2	DPB_1	DPB_0

INTERVALL-TIMER (TIMER A, TIMER B)

Beide bestehen aus je einem 16-Bit-Intervalltimer (nur Lesen) und einem 16-Bit-Latch (nur Schreiben). Beim Schreiben werden die Daten in das Latch geschrieben, während beim Lesen der Inhalt des Intervalltimers angezeigt wird. Die Timer können sowohl unabhängig voneinander als auch zusammen benutzt werden. Die verschiedenen Betriebsarten erlauben Zeitverzögerungen, variable Impulslängen, Impulsfolgen und Signale unterschiedlicher Frequenz.

Mit dem Eingang CNT können die Zähler externe Impulse zählen und Frequenzen, Impulslängen und Verzögerungszeiten messen. Jeder Zähler hat ein eigenes Kontrollregister zur unabhängigen Überwachung folgender Funktionen:

START/STOP

Ein Kontrollbit (cb) ermöglicht dem Prozessor, den Zähler zu jeder Zeit zu starten und zu stoppen.

PB ON/OFF

Ein Kontrollbit steuert die Ausgabe des Zählerüberlaufs an Port B (PB6 für Timer A, PB7 für Timer B). Dieses Bit überschreibt das DDRB-Kontrollbit und schaltet den entsprechenden Pin auf Ausgang.

TOGGLE/PULSE

Ein Kontrollbit bestimmt die Art des Ausgangssignals, das an Port B erscheint. Am Ende jedes Zählerzyklus (underflow) kann der Ausgang entweder von Low nach High und umgekehrt wechseln, oder ein einzelner positiver Impuls (Länge: 1 Taktzyklus Ø2) erzeugt werden. Der Toggle-Ausgang wird auf High gesetzt, wenn der Zähler gestartet wird. Durch $\overline{RES}$ auf Low gesetzt.

ONE SHOT/CONTINUOUS

Ein Kontrollbit wählt eine der beiden Betriebsarten. Im One-Shot-Modus wird von dem Wert im Latch bis Null gezählt, ein Interrupt erzeugt, der Wert erneut geladen und der Zähler gestoppt. Im Continuous-Modus wird nicht gestoppt, sondern dieser Vorgang kontinuierlich wiederholt.

FORCE LOAD

Dieses Strobe-Bit erzwingt, daß der Inhalt des Latches in den Zeitzähler geladen wird, unabhängig davon, ob der Zähler läuft oder nicht.

INPUT-MODE

Kontrollbits erlauben die Auswahl des Taktes, der zur Dekrementierung des Zählers benutzt wird. Timer A kann Ø2-Taktimpulse oder externe Impulse über CNT zählen. Timer B kann zusätzlich "underflow"-Impulse des Timers A zählen. Zusätzlich besteht eine Steuermöglichkeit über den Pin CNT. Der Inhalt des Latches wird bei jedem Zählerunterlauf, "force load" oder nach einem Schreiben des H-Byte des Latches (bei angehaltenem Zähler) in den Zähler übernommen. Wenn der Zähler läuft, bewirkt das Schreiben des H-Bytes nur ein Laden des Latches, kein Laden des Zählers.

LESEN (TIMER)

REG	NAME								
4	TA LO	TAL_7	TAL_6	TAL_5	TAL_4	TAL_3	TAL_2	TAL_1	TAL_0
5	TA HI	TAH_7	TAH_6	TAH_5	TAH_4	TAH_3	TAH_2	TAH_1	TAH_0
6	TB LO	TBL_7	TBL_6	TBL_5	TBL_4	TBL_3	TBL_2	TBL_1	TBL_0
7	TB HI	TBH_7	TBH_6	TBH_5	TBH_4	TBH_3	TBH_2	TBH_1	TBH_0

SCHREIBEN (VORTEILER)

REG	NAME								
4	TA LO	PAL_7	PAL_6	PAL_5	PAL_4	PAL_3	PAL_2	PAL_1	PAL_0
5	TA HI	PAH_7	PAH_6	PAH_5	PAH_4	PAH_3	PAH_2	PAH_1	PAH_0
6	TB LO	PBL_7	PBL_6	PBL_5	PBL_4	PBL_3	PBL_2	PBL_1	PBL_0
7	TB HI	PBH_7	PBH_6	PBH_5	PBH_4	PBH_3	PBH_2	PBH_1	PBH_0

UHRZEIT (TOD – Time Of Day)

Die TOD-Clock ist ein spezieller Zähler für Echtzeitanwendungen. Sie besteht aus einer 24-Stunden-Uhr mit einer Auflösung von 1/10-Sekunden. Sie ist in 4 Register aufgeteilt:
1/10-Sekunden,
Sekunden,
Minuten,
Stunden.
Das AM/PM-Flag ist das MSB des Stundenregisters, um das Lesen zu vereinfachen. Jedes Register wird im BCD-Code gelesen, damit die Konvertierung für das

Betreiben von Anzeigegeräten vereinfacht wird. Die Uhr benötigt einen Takt mit 50 Hz oder 60 Hz (programmierbar) mit TTL-Pegel. Ein programmierbarer ALARM ist dafür vorgesehen, einen Interrupt zu einer bestimmten Zeit auszulösen. Die zugehörigen Register liegen auf den gleichen Adressen wie die Register der Uhr, der Zugriff auf die ALARM-Register erfolgt über ein Bit im Kontrollregister. In die ALARM-Register kann nur geschrieben werden; ein Leseimpuls auf die Adressen der TOD-Register ergibt immer die Zeit, unabhängig vom Zustand des ALARM-Kontrollbits.
Um die Zeit zu lesen oder zu setzen, muß eine bestimmte Reihenfolge eingehalten werden. TOD wird automatisch gestoppt, wenn ein Schreibimpuls für die Stundenregister gültig wird, und wird erst wieder gestartet, nachdem in die 1/10-Sekunden-Register geschrieben wurde. Dies stellt sicher, daß TOD immer mit der gewünschten Zeit gestartet wird. Da ein Übertrag von einem Register zum nächsten sich auch während eines Lesezyklus ereignen könnte, werden während eines Lesezyklus alle Registerinhalte konstant gehalten (gelatcht). Alle vier Register werden gespeichert, sobald die Stunden gelesen werden, und bleiben gespeichert, bis die 1/10-Sekunden gelesen wurden. Erst danach zeigen die Register die aktuellen Werte. Wenn nur ein Register gelesen werden soll, gibt es kein Problem mit dem Übertrag. Das Register kann sofort gelesen werden. Nach dem Stunden-Register muß aber immer das 1/10-Sekunden-Register gelesen werden, um die Verriegelung aufzuheben.

LESEN

REG	NAME								
8	TOD 10THS	0	0	0	0	T_8	T_4	T_2	T_1
9	TOD SEC	0	SH_4	SH_2	SH_1	SL_8	SL_4	SL_2	SL_1
A	TOD MIN	0	MH_4	MH_2	MH_1	ML_8	ML_4	ML_2	ML_1
B	TOD HR	PM	0	0	HH	HL_8	HL_4	HL_2	HL_1

SCHREIBEN

CRB_7=0 TOD
CRB_7=1 ALARM
(Gleiches Format wie LESEN)

SERIELLER PORT (SDR)

Dies ist ein gebuffertes, synchrones, 8 Bit breites Schieberegistersystem. Ein Kontrollbit wählt entweder Ein-/oder Ausgabemodus. Im Eingabemodus werden die Daten vom Pin SP, gesteuert durch positive Taktflanken am Pin CNT, in ein Schieberegister geschoben. Nach 8 Impulsen am Eingang CNT werden die Daten in das serielle Datenregister übernommen, und ein Interrupt wird erzeugt. Wird dieser Port als Ausgang benutzt, bestimmt Timer A die Baudrate. Die Daten werden mit 1/2 der Underflowrate von Timer A an Pin SP herausgeschoben. Die größte mögliche Baudrate ist Ø2/4; sie wird aber durch Kabelkapazitäten und der Geschwindigkeit, mit der der Empfänger auf den Dateneingang reagiert, begrenzt.
Die Übertragung beginnt, nachdem in das serielle Datenregister geschrieben wurde (vorausgesetzt, Timer A läuft im Modus CONTINUOUS). Das Taktsignal von Timer A erscheint als Ausgangssignal an Pin CNT. Die Daten aus dem seriellen Datenregister werden in das Schieberegister übernommen und ausgegeben, wenn an CNT ein Impuls erscheint. Die Ausgabe wird mit der negativen Flanke von CNT gültig und bleibt gültig bis zur nächsten negativen Flanke. Nach 8 Impulsen an Pin CNT wird ein Interrupt erzeugt, um anzuzeigen, daß die nächsten Daten übertragen werden können. Falls das serielle Datenregister vor diesem Interrupt mit neuen Daten geladen wurde, werden diese automatisch in das Schieberegister geladen, und die Übertragung wird fortgesetzt. Falls also der Prozessor das Schieberegister rechtzeitig nachlädt, ist die Übertragung kontinuierlich. Wenn keine Daten mehr übertragen werden sollen, erscheint nach 8 Impulsen an CNT an diesem Ausgang ein H-Pegel, und Pin SP bleibt auf dem Pegel, der dem zuletzt übertragenen Bit entspricht.
SDR gibt zuerst das MSB aus, diese Reihenfolge sollte auch bei der Eingabe verwendet werden. Weil die benutzten Pins bidirektional sind, können viele 6526-Bausteine auf einen seriellen Bus zusammengeschaltet werden, wobei einer der Bausteine als Master, der Daten und Takt ausgibt, und alle anderen als Slaves fungieren. Deshalb sind diese Pins "open-drain"-Schaltungen. Die Vorschrift für Verteilung von Master-/Slavefunktion kann über den seriellen Bus oder spezielle Leitungen übertragen werden.

REG	NAME								
C	SDR	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0

INTERRUPT CONTROL (ICR)

Es gibt 5 mögliche Quellen für einen Interrupt: Underflow von Timer A oder B; TOD ALARM; serieller Port voll/leer und $\overline{\text{FLAG}}$.
Die Maskier- und Interruptinformationen sind in einem Register zusammengefaßt. Das INTERRUPTKONTROLLREGISTER besteht aus einem Maskenregister, in das nur hineingeschrieben werden kann, und einem Datenregister, das nur gelesen werden kann. Jeder Interrupt setzt ein entsprechendes Bit im Datenregister. Wird der Interrupt durch das Maskenregister nicht gesperrt, wird das MSB des Datenregisters gesetzt (IR-Bit) und der Pin $\overline{\text{IRQ}}$ Low geschaltet. Sind mehrere 6526 zusammengeschaltet, können die IR-Bits abgefragt werden, um festzustellen, welcher Baustein den Interrupt ausgelöst hat. Nachdem das Datenregister gelesen wurde, wird es gelöscht und $\overline{\text{IRQ}}$ High gelegt. Da das Datenregister unabhängig vom Maskenregister gesetzt wird und jedes Interruptbit einzeln maskiert werden kann, um einen Interrupt zu verhindern, ist es möglich, Interruptanforderungen und ausgeführte Interrupts zu mischen.
Wenn das Bit IR abgefragt wird, wird das Datenregister gelöscht, die Informationen müssen also vom Benutzer gerettet werden.
Das Maskenregister ermöglicht eine einfache Steuerung der Maskierung. Wenn man in das Register schreibt und das 7. Bit der geschriebenen Daten (SET/$\overline{\text{CLEAR}}$) 0 ist, werden alle Bits, die 1 gesetzt sind, gelöscht, während die Bits, die 0 sind, nicht beeinflußt werden. Falls das 7. Bit der geschriebenen Daten 1 ist, wird jedes Maskierungsbit, das 1 ist, gesetzt, während diejenigen, die 0 sind, nicht berührt werden. Damit IR gesetzt werden und ein Interrupt ausgelöst werden kann, muß das korrespondierende Maskierungsbit gesetzt sein.

LESEN (INT DATA)

REG	NAME								
D	ICR	IR	0	0	FLG	SP	ALRM	TB	TA

SCHREIBEN (INT MASK)

REG	NAME								
D	ICR	S/$\overline{\text{C}}$	X	X	FLG	SP	ALRM	TB	TA

STEUERREGISTER

Der 6526 hat zwei Steuerregister: CRA und CRB. CRA ist mit TIMER A und CRB mit TIMER B verbunden. Es gilt folgendes Registerformat:

CRA:

Bit	Name	Funktion
0	START	1=START TIMER A, 0=STOP TIMER A. Dieses Bit wird automatisch rückgestellt, wenn es im one-shot-mode zu einem Unterlauf kommt.
1	PBON	1=TIMER AUSGABE A liegt an PB6 an, 0=PB6 Normalbetrieb.
2	OUTMODE	1=TOGGLE, 0=PULS
3	RUNMODE	1=ONE-SHOT, 0=KONTINUIERLICH
4	LOAD	1=FORCE LOAD (dies ist eine STROBE-Eingabe. Es erfolgt keine Datenspeicherung, Bit 4 liest stets eine 0, und das Schreiben einer 0 hat keinen Einfluß).
5	INMODE	1=TIMER A zählt positive CNT-Übergänge, 0=TIMER A zählt Ø2-Impulse.
6	SPMODE	1=AUSGABE SERIELLER PORT, 0=SERIELLER PORT (externer Taktgeber erforderlich).
7	TODIN	1=50-Hz-clock am TOD-Pin ergibt korrekte Uhrzeit. 0=60-Hz-clock am TOD-Pin ergibt korrekte Uhrzeit.

CRB:

Bit	Name	Funktion
		(Bits CRB0–CRB4 entsprechen CRA0–CRA4 von TIMER B. Bit 1 steuert jedoch die TIMER-Ausgabe B auf PB7.)
5, 6	INMODE	Bits CRB5 und CRB6 wählen eine der vier Eingabemodi von TIMER B:

CRB6	CRB5	
0	0	TIMER B zählt Ø2-Impulse.
0	1	TIMER B zählt positive CNT-Übergänge.
1	0	TIMER B zählt Unterlauf-Impulse von TIMER A.
1	1	TIMER B zählt Unterlauf-Impulse von TIMER A, während CNT H-Pegel hat.

7	ALARM	1=ALARM setzen durch Schreiben in TOD-Register, 0=TOD-clock setzen durch Schreiben in TOD-Register.

REG	NAME	TOD IN	SP MODE	IN MODE	LOAD	RUN MODE	OUT MODE	PB ON	START
E	CRA	0=60Hz 1=50Hz	0=INPUT 1=OUTPUT	0=ϕ2 1=CNT	1=FORCE LOAD (STROBE)	0=CONT. 1=O.S.	0=PULSE 1=TOGGLE	0=PB$_6$ OFF 1=PB$_6$ ON	0=STOP 1=START

TA

REG	NAME	ALARM	IN	MODE	LOAD	RUN MODE	OUT MODE	PB ON	START
F	CRB	0=TOD 1=ALARM	0 1 1 1	0=ϕ2 1=CNT 0=TA 1=CNT·TA	1=FORCE LOAD (STROBE)	0=CONT. 1=O.S.	0=PULSE 1=TOGGLE	0=PB$_7$ OFF 1=PB$_7$ ON	0=STOP 1=START

TB

Alle nicht benutzten Register-Bits werden durch das Schreiben nicht beeinflußt und beim Lesen auf Null gesetzt.

Änderungen vorbehalten. **COMMODORE SEMICONDUCTOR GROUP** übernimmt keinerlei Verantwortung für Schäden, die aus der Anwendung der hier beschriebenen Produkte oder Schaltungen entsteht. Es werden keinerlei Lizenzen hinsichtlich der Patentrechte oder anderer Rechte erteilt.

ANHANG N

6566/6567 VIDEO-INTERFACE-CONTROLLER (VIC-II) CHIP SPECIFICATIONS

Beschreibung
Die Bausteine 6566 und 6567 sind Mehrzweck-Farb-Video-Bausteine sowohl für den Einsatz in Computer-Videoterminals als auch in Videospielen. Sie enthalten 47 Kontrollregister, auf die über einen normalen 8-Bit-Mikroprozessorbus (65XX) zugegriffen werden kann, und können auf bis zu 16KB RAM zugreifen, um Videoinformationen abzulegen.
Im Folgenden werden die verschiedenen Betriebsarten und deren Optionen beschrieben.

ZEICHENDARSTELLUNGSMODUS

In dieser Betriebsart holt der Baustein Characterzeiger aus dem VIDEO-MATRIX-Bereich des Speichers und übersetzt diese in die Adresse der Punktmatrix des Zeichens, welche sich in dem 2048 Byte großen CHARACTER-BASE-Bereich des Speichers befindet. Die Videomatrix umfaßt 1000 aufeinanderfolgende Speicherplätze, welche alle einen 8-Bit-Characterzeiger enthalten. Die Plazierung der Videomatrix im Speicher wird durch VM13-VM10 in Register 24 ($18) festgelegt. Diese 4 Bit bilden die 4 MSB der Videomatrixadresse. Die 10 unteren Bits werden von einem internen Zähler bereitgestellt, der die 1000 Zeichenspeicherplätze durchzählt. Man beachte, daß die Bausteine nur 14 Adreßausgänge haben, deshalb ist zusätzliche Systemhardware notwendig, um den gesamten Speicherbereich des Systems ansprechen zu können.

ZEICHENZEIGERADRESSE

A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
VM13	VM12	VM11	VM10	VC9	VC8	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0

Die 8 Bit langen Characterzeiger erlauben, daß bis zu 256 verschiedene Zeichen gleichzeitig verfügbar sind. Jedes Zeichen ist im Character-Base-Bereich als 8x8-Punktematrix in 8 aufeinanderfolgenden Bytes abgelegt. Die Plazierung der Character-Base wird durch CB13-CB11 im Register 24 ($18) festgelegt, diese bilden die 3 MSB der Adresse. Die 11 unteren Bits werden aus dem Characterzeiger (8 Bit) aus der Videomatrix, der ein bestimmtes Zeichen definiert, und einem 3-Bit-Rasterzähler (RC2-RC0), der eines der 8 Zeichenbytes auswählt, gebildet. Die resultierenden Zeichen werden in 25 Zeilen zu jeweils 40 Zeichen zusammengefaßt. Zusätzlich zum Characterzeiger gehört zu jeder Stelle der Videomatrix ein 4-Bit-FARBNYBBLE (der Videomatrixspeicher muß also 12 Bit breit sein), welcher eine von 16 verschiedenen Farben für jedes Zeichen einzeln auswählt.

ZEICHENDATENADRESSE

A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
CB13	CB12	CB11	D7	D6	D5	D4	D3	D2	D1	D0	RC2	RC1	RC0

Betriebsart "STANDARDZEICHEN" (MCM=BMM=ECM=0)

In dieser Betriebsart werden die 8 aufeinanderfolgenden Bits der Character Base direkt als die 8 Zeilen des Zeichens dargestellt. Bei einer 0 wird die Hintergrundfarbe #0 (aus Register 33 ($21)), bei einer 1 die Farbe, die durch das Farbnybble bestimmt wird, dargestellt (siehe Farbcodetabelle).

FUNKTION	ZEICHENBIT	FARBANZEIGE
Hintergrund	0	Hintergrundfarbe #0 (Register 33 ($21))
Vordergrund	1	Durch 4-Bit-Farbnybble gewählte Farbe

Somit hat jedes Zeichen eine Farbe (festgelegt durch das Farbnybble), und alle Zeichen haben die gleiche Hintergrundfarbe.

Betriebsart "MEHRFARBIGE ZEICHEN" (MCM=1, BMM=ECM=0)

Diese Betriebsart ermöglicht es, vierfarbige Zeichen mit geringer Auflösung darzustellen. Sie wird eingeschaltet, wenn das Bit MCM in Register 22 ($16) 1 gesetzt wird, wodurch die in der Character Base gespeicherten Daten unterschiedlich interpretiert werden. Ist das MSB des Farbnybbles 0, wird das Zeichen wie bei der Betriebsart "Standardzeichen" dargestellt. Dies erlaubt es, die beiden Betriebsarten zu mischen, es sind jedoch nur die 8 ersten Farben darstellbar. Wenn das MSB des Farbnybbles 1 ist (falls MCM:MSB(CM)=1), werden immer je 2 Bits folgendermaßen interpretiert:

FUNCTION	CHARACTER BIT PAIR	COLOR DISPLAYED
Background	00	Background #0 Color (register 33 ($21))
Background	01	Background #1 Color (register 34 ($22))
Foreground	10	Background #2 Color (register 35 ($23))
Foreground	11	Color specified by 3 LSB of color nybble

Da immer 2 Bits benötigt werden, um einen Punkt zu beschreiben, wird das Zeichen jetzt als 4x8-Punktematrix dargestellt, wobei jeder Punkt doppelt so breit ist wie im Normalbetrieb. Man beachte, daß jedes Zeichenfeld jetzt 4 Farben beinhalten kann, 2 als Vordergrund, 2 als Hintergrund (siehe MOB-Priorität).

Betriebsart "ERWEITERTE FARBE" (ECM=1, BMM=MCM=0)

Diese Betriebsart erlaubt es, für jedes einzelne Zeichen mit einer Auflösung von 8x8 Punkten eine von 4 Hintergrundfarben auszuwählen. Diese Betriebsart wird eingeschaltet, wenn das Bit ECM des Registers 17 ($11) 1 gesetzt wird. Die Punktmatrix des Zeichens wird genauso wie bei der Betriebsart "Standardzeichen" dargestellt (durch eine 1 wird die durch das Farbnybble bestimmte Vordergrundfarbe dargestellt), aber die 2 MSB des Characterzeigers bestimmen die Hintergrundfarbe des Zeichens nach folgendem Schema:

CHARACTERZEIGER MSB-PAAR	HINTERGRUND-FARBE FÜR BIT 0
00	Hintergrundfarbe #0 (Register 33 ($21))
01	Hintergrundfarbe #1 (Register 34 ($22))
10	Hintergrundfarbe #2 (Register 35 ($23))
11	Hintergrundfarbe #3 (Register 36 ($24))

Da die 2 MSB des Characterzeigers zur Auswahl der Hintergrundfarbe gebraucht werden, können nur noch 64 verschiedene Zeichen dargestellt werden. Der Baustein interpretiert CB10 und CB9 unabhängig vom Characterzeiger als 0, so daß nur die ersten 64 Zeichen dargestellt werden können.
In dieser Betriebsart kann für jedes Zeichen eine der 16 Vordergrundfarben und eine von 4 verfügbaren Hintergrundfarben bestimmt werden.

Anmerkung: Die beiden Betriebsarten "Mehrfarbige Zeichen" und "Erweiterte Farbe" sollten nicht gleichzeitig eingeschaltet werden.

BIT MAP MODUS

In dieser Betriebsart holt der Baustein Daten auf eine andere Art und Weise aus dem Speicher und stellt sie so dar, daß eine direkte Beziehung zwischen dem dargestellten Punkt und dem Bit im Speicher besteht. Diese Betriebsart verfügt über eine Auflösung von 320 Punkten horizontal und 200 Punkten vertikal. Sie wird eingeschaltet, indem das Bit BMM im Register 17 ($11) 1 gesetzt wird. Auf die Videomatrix wird noch genauso wie bei der Zeichendarstellung zugegriffen, aber ihr Inhalt wird jetzt nicht mehr als Characterzeiger, sondern als Farbinformation interpretiert. Der Videomatrixzähler wird als Adresse benutzt, um die Daten für die Darstellung der Punkte aus dem 8000 Byte umfassenden Anzeigespeicher zu holen. Die Adresse ist folgendermaßen zusammengesetzt:

A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
CB13	VC9	VC8	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	RC2	RC1	RC0

VCx bezeichnet den Ausgang des Videomatrixzählers, RCx den Rasterlinienzähler, und CB13 stammt aus Register 24 ($18). Der Videomatrixzähler wählt für 8 Rasterlinien die gleichen Speicherplätze an, während der Rasterzähler nach jeder horizontalen Zeile um 1 erhöht wird. Nachdem die 8. Zeile geschrieben ist, wählt der Videomatrixzähler die nächsten 40 Speicherplätze an. Aus dieser Adressierungsart resultiert, daß immer 8 aufeinanderfolgende Speicherplätze eine 8x8-Punktematrix auf dem Bildschirm bilden.

Betriebsart "STANDARD BIT MAP" (BMM=1, MCM=0)

Hierbei wird die Farbinformation nur aus den Daten der Videomatrix abgeleitet (der Farbnybble wird nicht beachtet). Die 8-Bit-Daten aus der Videomatrix werden in 2 4-Bit-Daten aufgeteilt, wodurch es möglich wird, 2 verschiedene Farben in jeder 8x8-Punktematrix darzustellen. Wenn ein Bit des Anzeigespeichers 0 ist, erscheint der Punkt in der Farbe, die durch die unteren 4 Bit definiert wird. Wenn das Bit 1 ist, wird der Punkt in der Farbe gesetzt, die durch die oberen 4 Bit des entsprechenden Datenwortes in der Videomatrix festgelegt wird.

BIT	ANZEIGEFARBE
0	Unteres Nybble des Videomatrix-Zeigers
1	Oberes Nybble des Videomatrix-Zeigers

"MEHRFARBIGE DARSTELLUNG" (BMM=MCM=1)

Diese Betriebsart wird eingeschaltet, indem das Bit MCM im Register 22 ($16) und das Bit BMM im Register 17 ($11) 1 gesetzt werden. Sie benutzt dieselbe Ansteuerung des Speichers wie die Standardbetriebsart, interpretiert die Daten jedoch anders. Je zwei Bits werden zusammengefaßt und nach folgendem Schema ausgewertet:

BIT-PAAR	ANZEIGEFARBE
00	Hintergrundfarbe #0 (Register 33 ($21))
01	Oberes Nybble des Videomatrix-Zeigers
10	Unteres Nybble des Videomatrix-Zeigers
11	Videomatrix-Farbnybble

Man beachte, daß das Farbnybble bei dieser Betriebsart benutzt wird. Da immer 2 Bit benötigt werden, um die Farbe eines Punktes zu bestimmen, sind die Punkte doppelt so breit wie in der Standardbetriebsart; es können also nur 160 Punkte horizontal und 200 Punkte vertikal dargestellt werden. Wenn man diese Betriebsart nutzt, können also 3 voneinander unabhängig ausgewählte Farben für jede 8x8-Punktematrix zusätzlich zur Hintergrundfarbe auf dem Bildschirm dargestellt werden.

DARSTELLUNG VON BEWEGLICHEN OBJEKTEN

Bewegliche Objekte (engl. movable objekt block, MOB) sind eine spezielle Art von Zeichen, die an jedem beliebigen Ort des Bildschirms unabhängig von der 8x8-Punktematrix erzeugt werden können. Bis zu 8 MOBs können gleichzeitig erzeugt werden, jedes wird durch 63 Bytes im Speicher beschrieben und als Anordnung von 24x21 Punkten dargestellt (s.u.). Eine Anzahl von Sonderfunktionen macht die MOBs besonders für Videospiele und -graphiken interessant.

MOB-ANZEIGEBLOCK

BYTE	BYTE	BYTE
00	01	02
03	04	05
.	.	.
.	.	.
.	.	.
57	58	59
60	61	62

MOB EINSCHALTEN

Jeder MOB kann einzeln durch Setzen des entsprechenden Bits MnE im Register 21 ($15) auf dem Bildschirm dargestellt werden. Wenn das entsprechende Bit 0 ist, ist der MOB nicht nur abgeschaltet, er wird auch bei der Ausführung der MOB-Sonderfunktionen nicht berücksichtigt.

POSITION

Die Lage des MOB auf dem Bildschirm wird durch die X- und Y-Koordinaten mit einer Auflösung von 512 Punkten horizontal und 256 Punkten vertikal bestimmt, die in den entsprechenden Registern abgelegt sind. Dabei beziehen sich die Koordinaten auf den linken oberen Punkt des MOB. Wenn X zwischen 23 und 347 ($17–$157) und Y zwischen 50 und 249 ($32–$F9) liegt, ist der MOB sichtbar. Da der MOB nicht in jeder Position sichtbar ist, kann er übergangslos vom Bildschirm verschwinden und wieder erscheinen.

FARBE

Zur Festlegung der Farbe hat jeder MOB ein eigenes 4-Bit-Register. Es gibt zwei Betriebsarten:

Normale Darstellung (MnMC=0)

In dieser Betriebsart ist der MOB an den Stellen, wo eine 0 geschrieben ist, durchsichtig, es erscheint also die Hintergrundfarbe. Eine 1 bewirkt, daß die Farbe erscheint, die durch das Farbregister bestimmt wird.

Mehrfarbige MOBs (MnMC=1)

Jeder MOB kann unabhängig von den anderen mehrfarbig gestaltet werden, indem das entsprechende Bit MnMC im Register 28 ($1C) 1 gesetzt wird. Dann werden die Datenbits des MOBs paarweise folgendermaßen interpretiert:

BIT PAIR	COLOR DISPLAYED
00	Transparent
01	MOB Multi-color #0 (register 37 ($25))
10	MOB Color (registers 39-46 ($27-$2E))
11	MOB Multi-color #1 (register 38 ($26))

Da immer zwei Bits benötigt werden, um einen Punkt zu bestimmen, wird die Auflösung auf 12x21 Punkte reduziert; da die Punkte aber doppelt so breit gezeichnet werden, ändert sich die Größe des MOBs nicht.
Man beachte, daß bis zu 3 verschiedene Farben pro MOB zur Verfügung stehen, aber 2 Farben für alle mehrfarbigen MOBs gültig sind.

VERGRÖSSERUNG

Jeder MOB kann einzeln um den Faktor 2 in beiden Richtungen vergrößert werden. Zwei Register enthalten die Kontrollbits für die Vergrößerung:

REGISTER	FUNCTION
23 ($17)	Horizontal expand MnXE—"1"=expand; "0"=normal
29 ($1D)	Vertical expand MnYE—"1"=expand; "0"=normal

Wenn die MOBs vergrößert werden, findet keine Verbesserung der Auflösung statt. Die 24x21-(bzw. 12x21)-Punktematrix wird nur entsprechend vergrößert (der kleinste Punkt eines MOBs kann also in der mehrfarbigen Darstellung bis zu viermal größer erscheinen).

PRIORITÄT

Die Priorität des MOBs in bezug auf andere auf dem Bildschirm dargestellte Informationen kann für jedes MOB einzeln durch Setzen des entsprechenden Bits (MnDP) im Register 27 ($1B) beeinflußt werden:

REG BIT	PRIORITY TO CHARACTER OR BIT MAP DATA
0	Non-transparent MOB data will be displayed (MOB in front)
1	Non-transparent MOB data will be displayed only instead of Bkgd #0 or multi-color bit pair 01 (MOB behind)

MOB – DISPLAY DATA PRIORITY

MnDP = 1	MnDP = 0
MOBn	Foreground
Foreground	MOBn
Background	Background

Untereinander haben die MOBs eine feste Rangfolge, wobei MOB 0 den höchsten und MOB 7 den niedrigsten Rang besitzen. Wenn Punkte von 2 MOBs (ausgenommen transparente Punkte) zusammenfallen, werden immer die des MOBs mit der niedrigsten Nummer dargestellt.

ERKENNEN VON KOLLISIONEN

Zwei Arten von Berührungen werden erkannt: die Berührung zweier MOBs und die Überlappung eines MOBs mit einer anderen dargestellten Information:

MOB-MOB-Berührung:

Eine Berührung zweier MOBs findet statt, wenn die nichttransparenten Teile zweier MOBs an der gleichen Stelle abgebildet werden sollen (die Berührung transparenter Teile hat keine Folgen). Dann werden die Bits MnM für die beiden beteiligten MOB im Register 30 ($1E) 1 gesetzt. Diese bleiben gesetzt, bis das Register ausgelesen wird, dann werden alle Bits automatisch 0 gesetzt. Berührungen werden auch dann festgestellt, wenn sich die MOBs außerhalb des Bildschirms befinden.
Überlappung mit anderen Informationen:
Wenn ein MOB einen Bildpunkt berührt, der nicht in der Hintergrundfarbe dargestellt wird, wird im Register 31 ($1F) das entsprechende Bit MnD 1 gesetzt. Transparente Teile des MOB spielen auch hier keine Rolle. Für spezielle Anwendungen wird auch die Überlappung mit dem Datenpaar 01 (Mehrfarbige Darstellung) nicht als Kollision erkannt. Auf diese Weise können Daten dargestellt werden, ohne daß diese Einfluß auf das Erkennen von Berührungen haben.
Eine solche Berührung zwischen einem MOB und einer anderen, auf dem Bildschirm dargestellten Information kann auch außerhalb des Bildschirms in der horizontalen Richtung stattfinden, wenn eine gültige Information durch "scrolling" (s.u.) außerhalb des Bildschirms gelangt ist.
Die zuständigen Interruptlatches werden gesetzt, sobald in dem betreffenden Register das erste Bit gesetzt wird. Sobald ein Bit in dem Register gesetzt ist, wird durch nachfolgende Berührungen kein Interruptflag mehr gesetzt, bis das betreffende Register durch Auslesen gelöscht wurde.

MOB-SPEICHERZUGRIFF

Die Daten für jeden MOB werden in 63 aufeinanderfolgenden Bytes im Speicher abgelegt. Die 8 Blocks werden durch 8 MOB-Zeiger definiert, die am Ende der Videomatrix abgelegt sind. Da die Videomatrix nur 1000 Bytes benötigt, ist es möglich, von Platz 1016–1023 der Videomatrix die MOB-Zeiger 0–7 abzulegen. Dieser 8 Bit lange Zeiger bildet zusammen mit dem 6 Bit langen MOB-Bytezähler (um 63 verschiedene Bytes zu adressieren) eine 14 Bit lange Adresse.

A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
MP7	MP6	MP5	MP4	MP3	MP2	MP1	MP0	MC5	MC4	MC3	MC2	MC1	MC0

MPx bezeichnet die Bits des MOB-Zeigers und MCx die des MOB-Bytezählers, die intern erzeugt werden. Die MOB-Zeiger werden am Ende jeder Videozeile eingelesen. Wenn der Inhalt eines Y-Registers mit dem des Rasterlinienzählers übereinstimmt, beginnt der Zugriff auf die Daten des zugehörigen MOB. Der MOB-Bytezähler durchläuft automatisch die 63 Bytes und stellt immer 3 Bytes in jeder Zeile dar.

SONSTIGE MERKMALE

BILDSCHIRM ABSCHALTEN

Der Bildschirm kann abgeschaltet werden, indem das Bit DEN in Register 17 ($11) "0" gesetzt wird. Dann erscheint der gesamte Bildschirm in der Farbe, die durch Register 32 ($20) festgelegt wird. Dann wird nur die erste Phase des Speicherzugriffs benötigt, wodurch der Systembus vollständig dem Prozessor zur Verfügung steht. Allerdings greift der VIC noch auf MOB-Daten zu, wenn diese nicht abgeschaltet sind.
DEN muß für normalen Videobetrieb 1 gesetzt sein.

AUSWAHL DER REIHEN UND SPALTEN

Das normale Anzeigeformat besteht aus 25 Reihen zu je 40 Zeichen. Für Spezialanwendungen kann das Anzeigefenster auf 24 Reihen zu 38 Zeichen reduziert werden. Dies hat keinen Einfluß auf die Größe der dargestellten Zeichen, außer, daß Zeichen, die vorher an die Begrenzung stießen, jetzt von dieser überdeckt werden. Diese Betriebsart wird durch 2 Bits gesteuert: RSEL aus Register 17 ($11) und CSEL aus Register 22 ($16). Sie haben folgende Bedeutung:

RSEL	NUMBER OF ROWS	CSEL	NUMBER OF COLUMNS
0	24 rows	0	38 columns
1	25 rows	1	40 columns

Normalerweise wird man das größere Fenster benutzen, das kleinere wird hauptsächlich in Verbindung mit "scrolling" benutzt.

SCROLLING

Die Anzeige kann jeweils um eine Zeichenstelle in horizontaler und vertikaler Richtung verschoben werden. Wenn dies in Verbindung mit dem kleineren Anzeigeformat benutzt wird, kann eine leichte Schwenkbewegung der Anzeige durchgeführt werden, während der Systemspeicher nur aktualisiert zu werden braucht, wenn eine neue Zeile oder Spalte geschrieben werden muß. "Scrolling" kann auch dazu benutzt werden, um eine feste Anzeige im Fenster zu zentrieren.

BITS	REGISTER	FUNCTION
X2,X1,X0	22 ($16)	Horizontal Position
Y2,Y1,Y0	17 ($11)	Vertical Position

LIGHT PEN

Bei einer negativen Flanke am Lightpen-Eingang wird die gerade gültige Bildschirmposition in das Registerpaar 19 (LPX) und 20 (LPY) geschrieben. Da in Register 19 nur die 8 MSB der X-Position gespeichert werden, insgesamt aber 516 verschiedene Positionen unterschieden werden müßten (dazu benötigte man 9 Bits), beträgt die Auflösung in der X-Position nur 2 Punkte.
In der Y-Richtung reichen die 8 Bit zur Auflösung des Bildschirms aus. Das Lightpen-Register kann nur einmal pro Bilddurchlauf getriggert werden, mehrmaliges Triggern hat keinen Einfluß. Deshalb muß man das Lightpen-Register einige Male abfragen, bevor man den Lightpen auf den Bildschirm richtet (die Anzahl der Abfragen hängt von den Eigenschaften des Griffels ab).

RASTERREGISTER

Dieses Register hat 2 Funktionen: Wenn dieses Register gelesen wird, erscheinen die 8 unteren Bit der z. Z. gültigen Rasterposition (das MSB –RC8– steht in Register 17 ($11)). Dies kann man dazu benutzen, um den Inhalt der Anzeige ohne Flackern zu ändern, indem die Änderung außerhalb des sichtbaren Bereichs vorgenommen wird. Der sichtbare Bereich liegt zwischen Raster 51 und 251 ($033–$0FB). Wenn in das Register geschrieben wird (einschließlich RC8), wird der Wert für einen internen Vergleich gespeichert. Wird der gespeicherte Wert erreicht, wird das Rasterinterruptflag gesetzt (Register 25).

INTERRUPTREGISTER

Das Interruptregister (Register 25($19)) zeigt den Status der 4 Interruptquellen. Ein Bit wird 1 gesetzt, wenn die entsprechende Interruptquelle einen Interrupt verlangt. In der Tabelle sind die 4 Bits und die zugehörigen Quellen aufgeführt.

LATCH BIT	ENABLE BIT	WHEN SET
IRST	ERST	Set when (raster count) = (stored raster count)
IMDC	EMDC	Set by MOB–DATA collision register (first collision only)
IMMC	EMMC	Set by MOB–MOB collision register (first collision only)
ILP	ELP	Set by negative transition of LP input (once per frame)
IRQ		Set high by latch set and enabled (invert of IRQ/ output)

Damit ein Interrupt durchgeführt und der Ausgang IRQ 0 gesetzt werden kann, muß das entsprechende Bit in Register 26 ($1A) (Interrupt enable) 1 gesetzt werden. Wenn ein Interruptbit gesetzt ist, wird es erst gelöscht, wenn an dieser Stelle eine 1 geschrieben wird. Dadurch wird eine beliebige Abarbeitung der Interrupts ermöglicht, ohne daß Speicherplätze oder Software zur Erhaltung der Interrupt-Information benötigt wird.

REFRESH FÜR DYNAMISCHE RAMS

Im Baustein ist eine Schaltung eingebaut, die den Refresh dynamischer RAMs kontrolliert. Nach jeder Rasterlinie werden 5 8-Bit-Zeilenadressen zur Auffrischung der RAMs erzeugt, wodurch garantiert ist, daß bei Speicherorganisation von 128 Reihen zu 512 Speicherplätzen jede Reihe mindestens alle 2 ms aufgefrischt wird (bei 256x256 organisierten Speichern alle 3,66 ms). Da der Refreshimpuls während der 1. Phase des Systemtaktes erzeugt wird, beeinflußt er andere Bausteine (Prozessor, I/O-Port etc.) auf dem 65XX-Systembus nicht.

Der Baustein erzeugt auch RAS- und CAS-Signale, die normalerweise direkt mit den dynamischen RAMs verbunden sind, und zwar während der 2. Phase des Systemtaktes und für jeden Videospeicherzugriff (einschließlich Refresh), so daß keine externe Takterzeugung notwendig ist.

RESET

Das Reset-Bit (RES) in Register 22 ($16) wird für den normalen Betrieb nicht benötigt. Es sollte demzufolge bei der Initialisierung des Video-Chips auf 0 gesetzt werden. Wenn das Bit auf 1 gesetzt wird, unterbricht der Video-Chip seine Funktion einschließlich Video-Ausgangssignal, Refresh für die dynamischen RAMs und System-Bus-Zugriff.

FUNKTIONSWEISE DES 6566/6567

Der Videobaustein 6566/6567 arbeitet auf besondere Art und Weise mit dem Systembus. Da die 65XX-Familie nur während der 2. Phase des Taktes (High) auf den Bus zugreift, benutzt der Videobaustein den Bus normalerweise nur während der 1. Phase des Taktes. Deshalb stören solche Operationen wie Refresh oder der Zugriff auf Zeichendaten den Prozessor nicht und beeinflussen nicht dessen Arbeitsgeschwindigkeit. Der Baustein stellt alle Kontrollsignale zur Verfügung, die benötigt werden, um diese Aufteilung des Busses aufrechtzuerhalten.
Der Videobaustein liefert das Signal AEC (Address enable control), das die Adreßtreiber des Prozessors hochohmig schaltet, damit der Videochip auf den Bus zugreifen kann. AEC ist aktiv, wenn der Ausgang 0 geschaltet ist, somit kann der Ausgang direkt an die AEC-Eingänge der 65XX-Familie gelegt werden.
Normalerweise ist dieses Signal nur während der 1. Phase des Taktes gültig, so daß der Prozessor nicht gestört wird. Aufgrund dieser zeitlichen Aufteilung müssen alle Speicherzugriffe in der halben Zykluszeit durchgeführt werden. Da der Videochip einen 1-MHz-Takt liefert, müssen alle Speicherzyklen wie Adresseanlegen, Datenzugriff und Datentransport zu den lesenden Bausteinen in 500 ms erledigt sein.
Einige Funktionen des Bausteins erfordern mehr Daten, als während der 1. Taktphase gelesen werden können, so z. B. der Zugriff auf Characterzeiger in der Videomatrix und das Lesen der MOB-Daten, wenn diese dargestellt werden sollen. Dann muß ein Zugriff des Prozessors auf den Bus verhindert und auch während der 2. Taktphase gelesen werden. Dies wird durch das Signal BA (Bus available) erreicht. Dieses Signal ist normalerweise 1, es wird jedoch während der 1. Taktphase auf 0 gelegt, um zu zeigen, daß der Videochip während der 2. Taktphase auf

den Bus zugreifen will. Dann bleiben dem Prozessor noch drei 2. Taktphasen, um laufende Speicherzugriffe abzuschließen. Während der vierten 2. Taktphase, nachdem BA auf Low geschaltet wurde, bleibt AEC auf Low, damit der Videochip die Daten holen kann.
Der Ausgang BA ist normalerweise mit den Eingängen RDY der anderen 65XX-Bausteine verbunden. Der Zugriff auf Characterzeiger geschieht alle 8 Rasterlinien innerhalb des Anzeigefensters und erfordert 40 aufeinanderfolgende Zugriffe während der 2. Taktphase, um die Videomatrixzeiger zu holen. Das Einlesen der MOB-Daten erfordert folgende 4 Speicherzugriffe:

PHASE	DATA	CONDITION
1	MOB Pointer	Every raster
2	MOB Byte 1	Each raster while MOB is displayed
1	MOB Byte 2	Each raster while MOB is displayed
2	MOB Byte 3	Each raster while MOB is displayed

Die MOB-Zeiger werden nach jeder Zeile während der 1. Taktphase gelesen. Falls erforderlich, werden zusätzliche Zyklen zum Einlesen der MOB-Daten benutzt. Alle notwendigen Signale zur Steuerung des Busses werden also von dem Videochip zur Verfügung gestellt.

SPEICHERANSTEUERUNG

Die zwei Versionen des Bausteins unterscheiden sich in der Art und Weise, wie sie die Adressen anlegen. 6566 hat 13 vollständig dekodierte Adressen, die direkt mit den Adressen des Systembusses verbunden werden können.
Die Adressen von Baustein 6567 werden gemultiplext, um sie direkt mit den Adressen von dynamischen 64K RAMs verbinden zu können. Die Adressen A00–A06 sind an den Ausgängen A00–A06 gültig, wenn der Ausgang RAS Low geschaltet ist, während die Adressen A08–A013 an den Ausgängen A00–A05 erscheinen, wenn CAS Low geschaltet wird. Die Ausgänge A07–A11 an diesem Baustein sind statische Adreßausgänge, die mit einem ROM (2Kx8) verbunden werden können (dann müssen die unteren Adressen zwischengespeichert werden).

SCHNITTSTELLE ZUM PROZESSOR

Abgesehen von den speziellen, oben beschriebenen Speicherzugriffen kann auf die Register des Bausteins genauso wie bei jedem anderen Peripheriebaustein zugegriffen werden. Folgende Signale stehen für die Schnittstelle mit dem Prozessor zur Verfügung:

DATENBUS (DB7–DB0)

Dies ist ein bidirektionaler Datenport, der von den Signalen an den Pins CS, RW und Phase 0 kontrolliert wird. Auf den Datenbus kann nur zugegriffen werden, wenn AEC=Phase0=1 und CA=0 gilt.

CHIP SELECT (CS/)

Wenn dieser Pin Low gelegt wird, kann man in Verbindung mit dem Signal RW und den Adressen auf die Register des Bausteins zugreifen. Dieser Eingang wird nur beachtet, wenn AEC=Phase0=1 gilt.

READ/WRITE (R/W)

Mit diesem Eingang wird in Verbindung mit CS die Richtung des Datenflusses festgelegt. Bei RW=1 werden Daten aus dem angewählten Register auf den Datenbus geschrieben, ist RW=0, ist der Datenfluß umgekehrt.

ADRESSBUS (A05–A00)

Die Anschlüsse A0–A5 sind bidirektional. Wenn der Prozessor auf den Videochip zugreift, sind es Adreßeingänge, und die angelegte Bitkombination wählt eines der Register an (siehe Tabelle).

CLOCK OUT (Phase 0)

An diesem Ausgang erscheint der 1-MHz-Takt für den Prozessor. Alle Systemoperationen beziehen sich auf diesen Takt, der aus dem 8-MHz-Takt durch Teilung gewonnen wird.

INTERRUPT (IRQ/)

Dieser Ausgang wird Low gelegt, wenn von einer eingeschalteten Interruptquelle ein Interrupt ausgelöst wird. Es ist ein "open-drain"-Ausgang, der einen externen pull-up-Widerstand benötigt.

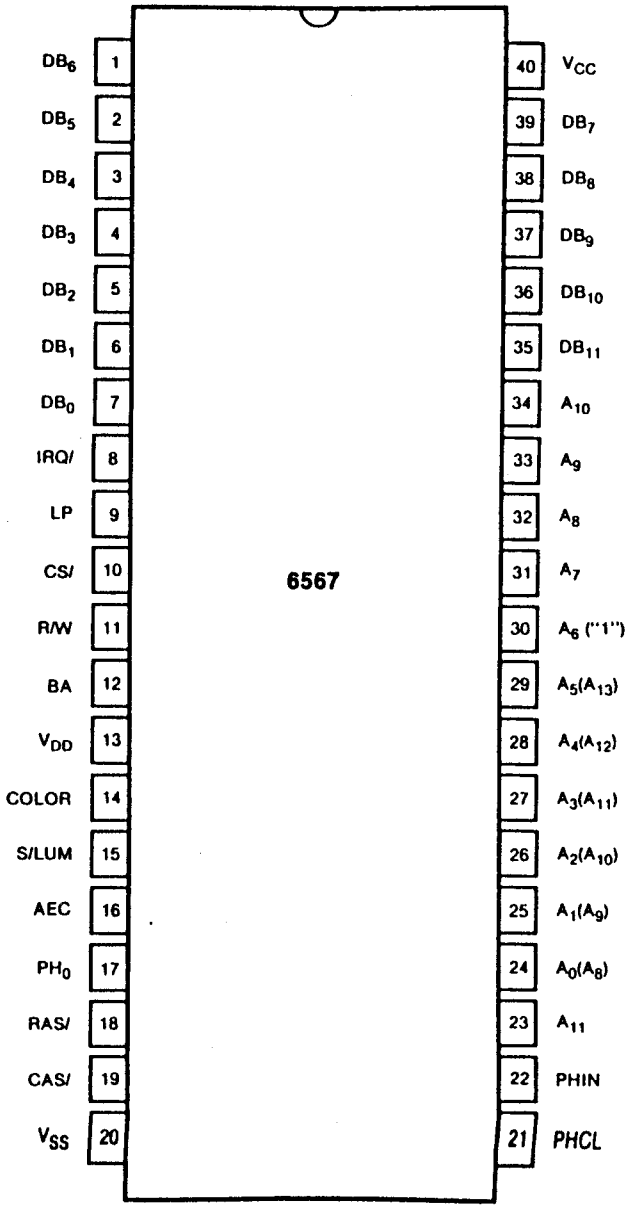
VIDEOANSCHLUSS

Das Videosignal der Bausteine besteht aus zwei getrennten Signalen, die extern gemischt werden müssen. SYNC/LUM beinhaltet alle Videoinformationen wie horizontale und vertikale Synchronisierung und die Hell-/Dunkelsteuerung, und ist ein "open-drain"-Ausgang, der einen externen pull-up-Widerstand benötigt. COLOR enthält alle Farbinformationen, auch den Farbhilfsträger, und ist ein "open-source"-Ausgang, der einen externen Widerstand von 1000 Ohm gegen Masse benötigt. Nach geeigneter Mischung dieser Signale kann das resultierende Signal einen Videomonitor oder mit einem entsprechenden Modulator einen normalen Fernseher ansteuern.

ZUSAMMENFASSUNG DER BUS-AKTIVITÄTEN BEIM 6566/6567

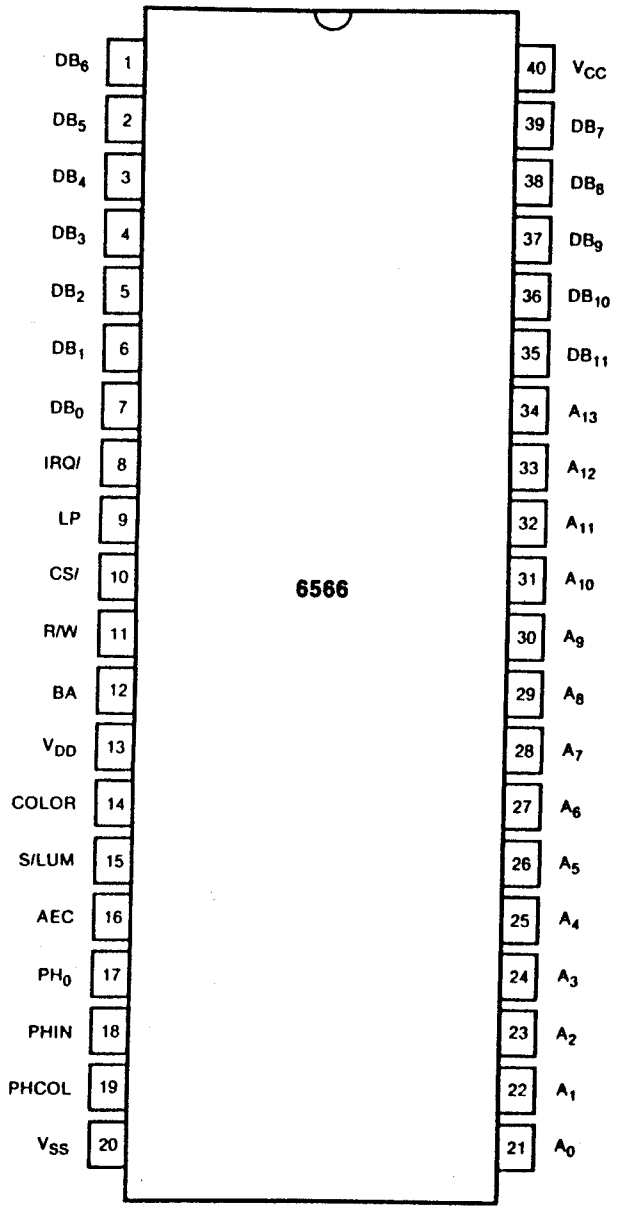
AEC	PH0	CS/	R/W	ACTION
0	0	X	X	PHASE 1 FETCH, REFRESH
0	1	X	X	PHASE 2 FETCH (PROCESSOR OFF)
1	0	X	X	NO ACTION
1	1	0	0	WRITE TO SELECTED REGISTER
1	1	0	1	READ FROM SELECTED REGISTER
1	1	1	X	NO ACTION

PIN-ANORDNUNG



(Multiplex-Adressen in Klammern)

PIN-ANORDNUNG



REGISTERBELEGUNG

ADDRESS		DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	DESCRIPTION
00	($00)	M0X7	M0X6	M0X5	M0X4	M0X3	M0X2	M0X1	M0X0	MOB 0 X-position
01	($01)	M0Y7	M0Y6	M0Y5	M0Y4	M0Y3	M0Y2	M0Y1	M0Y0	MOB 0 Y-position
02	($02)	M1X7	M1X6	M1X5	M1X4	M1X3	M1X2	M1X1	M1X0	MOB 1 X-position
03	($03)	M1Y7	M1Y6	M1Y5	M1Y4	M1Y3	M1Y2	M1Y1	M1Y0	MOB 1 Y-position
04	($04)	M2X7	M2X6	M2X5	M2X4	M2X3	M2X2	M2X1	M2X0	MOB 2 X-position
05	($05)	M2Y7	M2Y6	M2Y5	M2Y4	M2Y3	M2Y2	M2Y1	M2Y0	MOB 2 Y-position
06	($06)	M3X7	M3X6	M3X5	M3X4	M3X3	M3X2	M3X1	M3X0	MOB 3 X-position
07	($07)	M3Y7	M3Y6	M3Y5	M3Y4	M3Y3	M3Y2	M3Y1	M3Y0	MOB 3 Y-position
08	($08)	M4X7	M4X6	M4X5	M4X4	M4X3	M4X2	M4X1	M4X0	MOB 4 X-position
09	($09)	M4Y7	M4Y6	M4Y5	M4Y4	M4Y3	M4Y2	M4Y1	M4Y0	MOB 4 Y-position
10	($0A)	M5X7	M5X6	M5X5	M5X4	M5X3	M5X2	M5X1	M5X0	MOB 5 X-position
11	($0B)	M5Y7	M5Y6	M5Y5	M5Y4	M5Y3	M5Y2	M5Y1	M5Y0	MOB 5 Y-position
12	($0C)	M6X7	M6X6	M6X5	M6X4	M6X3	M6X2	M6X1	M6X0	MOB 6 X-position
13	($0D)	M6Y7	M6Y6	M6Y5	M6Y4	M6Y3	M6Y2	M6Y1	M6Y0	MOB 6 Y-position
14	($0E)	M7X7	M7X6	M7X5	M7X4	M7X3	M7X2	M7X1	M7X0	MOB 7 X-position
15	($0F)	M7Y7	M7Y6	M7Y5	M7Y4	M7Y3	M7Y2	M7Y1	M6Y0	MOB 7 Y-position
16	($10)	M7X8	M6X8	M5X8	M4X8	M3X8	M2X8	M1X8	M0X8	MSB of X-position
17	($11)	RC8	ECM	BMM	DEN	RSEL	Y2	Y1	Y0	See text
18	($12)	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	Raster register
19	($13)	LPX8	LPX7	LPX6	LPX5	LPX4	LPX3	LPX2	LPX1	Light Pen X
20	($14)	LPY7	LPY6	LPY5	LPY4	LPY3	LPY2	LPY1	LPYC	Light Pen Y
21	($15)	M7E	M6E	M5E	M4E	M3E	M2E	M1E	M0E	MOB Enable
22	($16)	—	—	RES	MCM	CSEL	X2	X1	X0	See text
23	($17)	M7YE	M6YE	M5YE	M4YE	M3YE	M2YE	M1YE	M0YE	MOB Y-expand

MC-Service

REGISTERBELEGUNG

ADDRESS	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	DESCRIPTION
24 ($18)	VM13	VM12	VM11	VM10	CB13	CB12	CB11	—	Memory Pointers
25 ($19)	IRQ	—	—	--	ILP	IMMC	IMBC	IRST	Interrupt Register
26 ($1A)	—	—	—	—	ELP	EMMC	EMBC	ERST	Enable Interrupt
27 ($1B)	M7DP	M6DP	M5DP	M4DP	M3DP	M2DP	M1DP	M0DP	MOB-DATA Priority
28 ($1C)	M7MC	M6MC	M5MC	M4MC	M3MC	M2MC	M1MC	M0MC	MOB Multicolor Sel
29 ($1D)	M7XE	M6XE	M5XE	M4XE	M3XE	M2XE	M1XE	M0XE	MOB X-expand
30 ($1E)	M7M	M6M	M5M	M4M	M3M	M2M	M1M	M0M	MOB-MOB Collision
31 ($1F)	M7D	M6D	M5D	M4D	M3D	M2D	M1D	M0D	MOB-DATA Collision
32 ($20)	—	—	—	—	EC3	EC2	EC1	EC0	Exterior Color
33 ($21)	—	—	—	—	B0C3	B0C2	B0C1	B0C0	Bkgd #0 Color
34 ($22)	—	—	—	—	B1C3	B1C2	B1C1	B1C0	Bkgd #1 Color
35 ($23)	—	—	—	—	B2C3	B2C2	B2C1	B2C0	Bkgd #2 Color
36 ($24)	—	—	—	—	B3C3	B3C2	B3C1	B3C0	Bkgd #3 Color
37 ($25)	—	—	—	—	MM03	MM02	MM01	MM00	MOB Multicolor #0
38 ($26)	—	—	—	—	MM13	MM12	MM11	MM10	MOB Multicolor #1
39 ($27)	—	—	—	—	M0C3	M0C2	M0C1	M0C0	MOB 0 Color
40 ($28)	—	—	—	—	M1C3	M1C2	M1C1	M1C0	MOB 1 Color
41 ($29)	—	—	—	—	M2C3	M2C2	M2C1	M2C0	MOB 2 Color
42 ($2A)	—	—	—	—	M3C3	M3C2	M3C1	M3C0	MOB 3 Color
43 ($2B)	—	—	—	—	M4C3	M4C2	M4C1	M4C0	MOB 4 Color
44 ($2C)	—	—	—	—	M5C3	M5C2	M5C1	M5C0	MOB 5 Color
45 ($2D)	—	—	—	—	M6C3	M6C2	M6C1	M6C0	MOB 6 Color
46 ($2E)	—	—	—	—	M7C3	M7C2	M7C1	M7C0	MOB 7 Color

Anmerkung: Ein Strich zeigt an, daß kein Anschluß besteht. In diesem Fall lauten alle Lesungen "1".

FARB-CODES

D4	D3	D1	D0	HEX	DEC	COLOR
0	0	0	0	0	0	BLACK
0	0	0	1	1	1	WHITE
0	0	1	0	2	2	RED
0	0	1	1	3	3	CYAN
0	1	0	0	4	4	PURPLE
0	1	0	1	5	5	GREEN
0	1	1	0	6	6	BLUE
0	1	1	1	7	7	YELLOW
1	0	0	0	8	8	ORANGE
1	0	0	1	9	9	BROWN
1	0	1	0	A	10	LT RED
1	0	1	1	B	11	DARK GREY
1	1	0	0	C	12	MED GREY
1	1	0	1	D	13	LT GREEN
1	1	1	0	E	14	LT BLUE
1	1	1	1	F	15	LT GREY

ANHANG O

6581 SOUND INTERFACE DEVICE (SID) CHIP SPECIFICATIONS

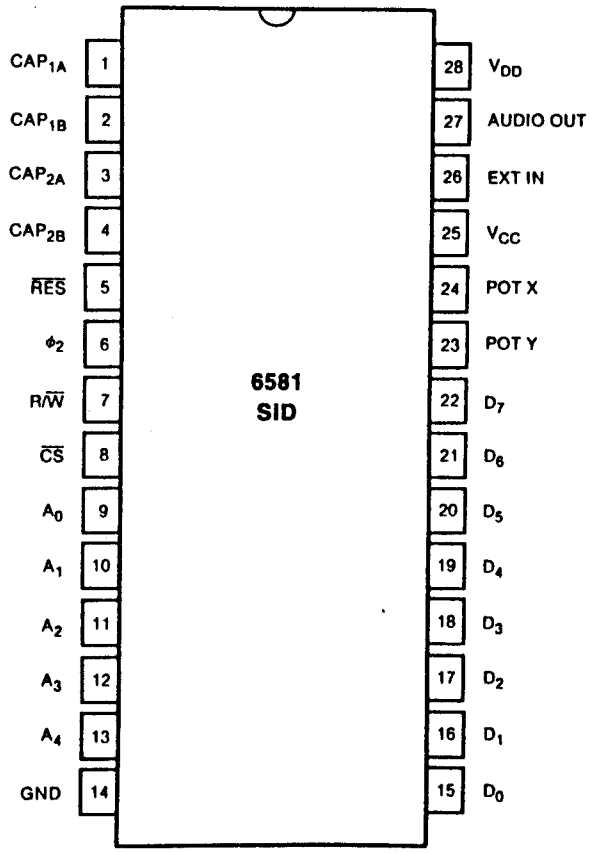
KONZEPT

Der SID 6581 ist ein dreistimmiger, elektronischer Musik-/Geräuschgenerator, buskompatibel mit der Prozessorfamilie 65XX und ähnlichen Prozessoren. Die Tonfrequenz kann ebenso wie Klang und Lautstärke in einem weiten Bereich mit hoher Genauigkeit eingestellt werden. Spezielle Schaltkreise verringern die nötige Software, was den Einsatz in Heimcomputern und preiswerten Musikinstrumenten ermöglicht.

BESONDERHEITEN

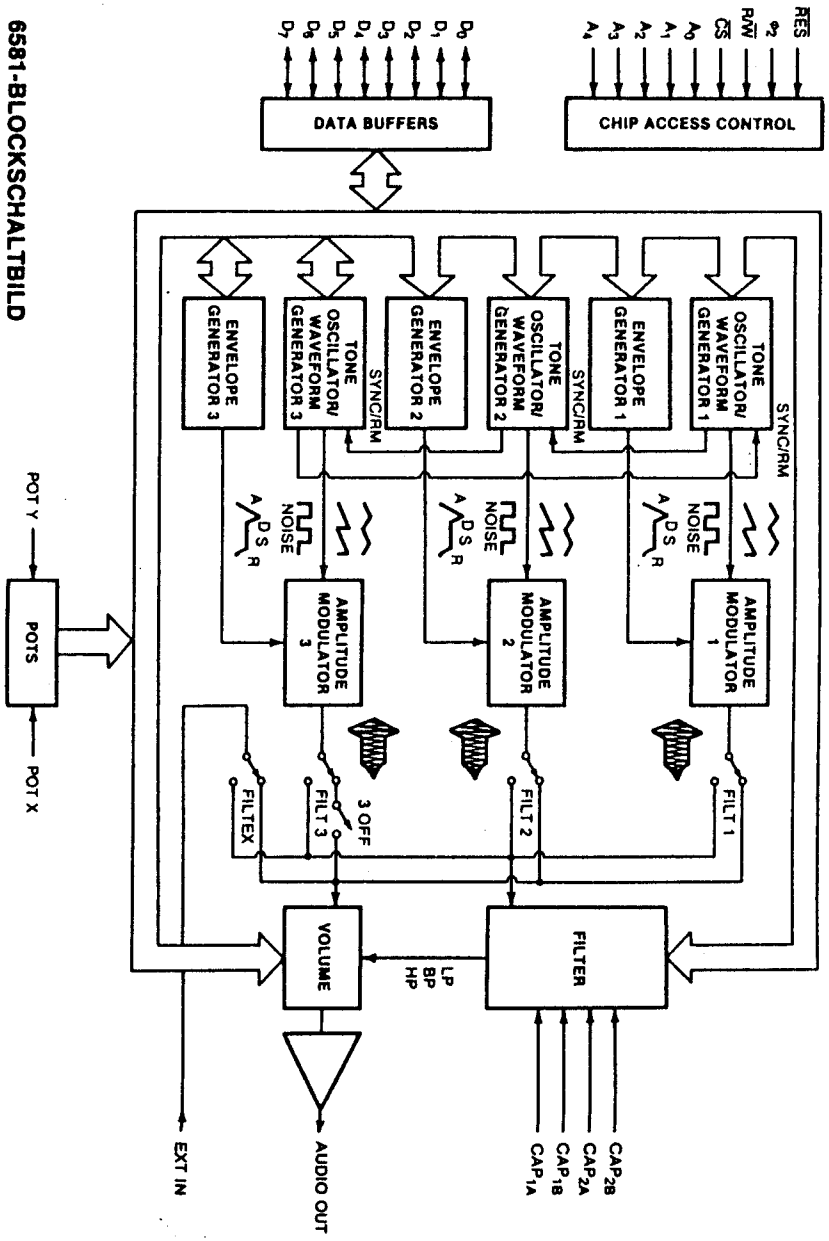
- 3 Tongeneratoren, 0–4 kHz
- 4 Kurvenformen pro Generator wählbar:
  Sinus, Dreieck, Rechteck (einstellbar) oder Rauschen
- 3 Amplitudenmodulatoren, jeweils 48 dB
- 3 Hüllkurvengeneratoren
  exponentieller Kurvenverlauf
  Anstiegszeit: 2 ms–8 s
  Abfallzeit: 6 ms–24 s
  Sustain-(Halte-)Pegel: 0–max. Lautstärke
  Ausklingzeit: 6 ms–24 s
- Synchronisierung der Oszillatoren
- Ringmodulation
- Programmierbare Filter
  Eck- bzw. Mittenfrequenz: 30 Hz–12 kHz
  Abfall: 12 dB/Oktave
  Tiefpaß, Bandpaß, Hochpaß oder Notchfilter
- Gesamtlautstärkeeinstellung
- Zufallsgenerator
- Anschlußmöglichkeit für 2 Potentiometer
- Audioeingang

PIN-ANORDNUNG



MC-Service

6581-BLOCKSCHALTBILD



BESCHREIBUNG

Der 6581 hat 3 Stimmen, die voneinander unabhängig, miteinander oder mit externen Audioquellen kombiniert eingesetzt werden können. Jede Stimme besteht aus einem Tongenerator, einem Hüllkurvengenerator und einem Amplitudengenerator. Die Tonhöhe kann über einen weiten Bereich eingestellt werden. Der Generator produziert 4 Kurvenformen mit der eingestellten Frequenz. Mit den jeweiligen harmonischen Obertönen jeder Kurvenform läßt sich die Klangfarbe beeinflussen. Die Dynamik der Lautstärke wird vom Amplitudengenerator eingestellt, welcher wiederum vom Hüllkurvengenerator beeinflußt wird. Wenn er angesteuert wird, entsteht eine Hüllkurve mit programmierbarer Anstiegs- und Abfallzeit. Zusätzlich zu den 3 Stimmen gibt es noch ein programmierbares Filter, mit dem es möglich ist, komplexe, dynamische Klangfarben herzustellen (subtraktive Synthese).
SID erlaubt dem Prozessor, die Veränderungen am Ausgang des 3. Generators und den 3. Hüllkurvengenerator zu lesen. Diese Ausgänge können dazu benutzt werden, dem Prozessor die notwendigen Informationen zur Steuerung eines Vibrato, Wobbelgenerators, durchstimmbaren Filters etc. zu liefern. Der dritte Oszillator kann auch als Zufallsgenerator für Spiele benutzt werden. Zwei A/D-Umsetzer sind für den Anschluß von zwei Potentiometern vorgesehen. Diese können als "PADDLE" in einem Spiel oder zur Steuerung in einem Musiksynthesizer benutzt werden. Der SID kann externe Audiosignale verarbeiten, wodurch mehrere SIDs zu einer sogenannten "Daisy chain" oder einem polyphonen System zusammengeschaltet werden können.

SID-KONTROLLREGISTER

Es gibt 29 8-Bit-Register im SID, die die Klangerzeugung steuern. Hierbei handelt es sich um Nur-Schreib- oder Nur-Leseregister, die in Tabelle 1 aufgelistet sind.

Tabelle 1 SID-Registerbelegung

ADDRESS							REG # (HEX)	DATA								REG NAME	REG TYPE
A_4	A_3	A_2	A_1	A_0				D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0		
0	0	0	0	0	0	00		F_7	F_6	F_5	F_4	F_3	F_2	F_1	F_0	Voice 1 FREQ LO	WRITE-ONLY
0	0	0	0	1	1	01		F_{15}	F_{14}	F_{13}	F_{12}	F_{11}	F_{10}	F_9	F_8	FREQ HI	WRITE-ONLY
0	0	0	1	0	2	02		PW_7	PW_6	PW_5	PW_4	PW_3	PW_2	PW_1	PW_0	PW LO	WRITE-ONLY
0	0	0	1	1	3	03		—	—	—	—	PW_{11}	PW_{10}	PW_9	PW_8	PW HI	WRITE-ONLY
0	0	1	0	0	4	04		NOISE	PULSE	TRIANGLE	SAWTOOTH	TEST	RING MOD	SYNC	GATE	CONTROL REG	WRITE-ONLY
0	0	1	0	1	5	05		ATK_3	ATK_2	ATK_1	ATK_0	DCY_3	DCY_2	DCY_1	DCY_0	ATTACK/DECAY	WRITE-ONLY
0	0	1	1	0	6	06		STN_3	STN_2	STN_1	STN_0	RLS_3	RLS_2	RLS_1	RLS_0	SUSTAIN/RELEASE	WRITE-ONLY
0	0	1	1	1	7	07		F_7	F_6	F_5	F_4	F_3	F_2	F_1	F_0	Voice 2 FREQ LO	WRITE-ONLY
0	1	0	0	0	8	08		F_{15}	F_{14}	F_{13}	F_{12}	F_{11}	F_{10}	F_9	F_8	FREQ HI	WRITE-ONLY
0	1	0	0	1	9	09		PW_7	PW_6	PW_5	PW_4	PW_3	PW_2	PW_1	PW_0	PW LO	WRITE-ONLY
0	1	0	1	0	10	0A		—	—	—	—	PW_{11}	PW_{10}	PW_9	PW_8	PW HI	WRITE-ONLY
0	1	0	1	1	11	0B		NOISE	PULSE	TRIANGLE	SAWTOOTH	TEST	RING MOD	SYNC	GATE	CONTROL REG	WRITE-ONLY
0	1	1	0	0	12	0C		ATK_3	ATK_2	ATK_1	ATK_0	DCY_3	DCY_2	DCY_1	DCY_0	ATTACK/DECAY	WRITE-ONLY
0	1	1	0	1	13	0D		STN_3	STN_2	STN_1	STN_0	RLS_3	RLS_2	RLS_1	RLS_0	SUSTAIN/RELEASE	WRITE-ONLY
0	1	1	1	0	14	0E		F_7	F_6	F_5	F_4	F_3	F_2	F_1	F_0	Voice 3 FREQ LO	WRITE-ONLY
0	1	1	1	1	15	0F		F_{15}	F_{14}	F_{13}	F_{12}	F_{11}	F_{10}	F_9	F_8	FREQ HI	WRITE-ONLY
1	0	0	0	0	16	10		PW_7	PW_6	PW_5	PW_4	PW_3	PW_2	PW_1	PW_0	PW LO	WRITE-ONLY
1	0	0	0	1	17	11		—	—	—	—	PW_{11}	PW_{10}	PW_9	PW_8	PW HI	WRITE-ONLY
1	0	0	1	0	18	12		NOISE	PULSE	TRIANGLE	SAWTOOTH	TEST	RING MOD	SYNC	GATE	CONTROL REG	WRITE-ONLY
1	0	0	1	1	19	13		ATK_3	ATK_2	ATK_1	ATK_0	DCY_3	DCY_2	DCY_1	DCY_0	ATTACK/DECAY	WRITE-ONLY
1	0	1	0	0	20	14		STN_3	STN_2	STN_1	STN_0	RLS_3	RLS_2	RLS_1	RLS_0	SUSTAIN/RELEASE	WRITE-ONLY
1	0	1	0	1	21	15		—	—	—	—	—	FC_2	FC_1	FC_0	Filter FC LO	WRITE-ONLY
1	0	1	1	0	22	16		FC_{10}	FC_9	FC_8	FC_7	FC_6	FC_5	FC_4	FC_3	FC HI	WRITE-ONLY
1	0	1	1	1	23	17		RES_3	RES_2	RES_1	RES_0	FILTEX	FILT 3	FILT 2	FILT 1	RES/FILT	WRITE-ONLY
1	1	0	0	0	24	18		3 OFF	HP	BP	LP	VOL_3	VOL_2	VOL_1	VOL_0	MODE/VOL	WRITE-ONLY
1	1	0	0	1	25	19		PX_7	PX_6	PX_5	PX_4	PX_3	PX_2	PX_1	PX_0	Misc. POT X	READ-ONLY
1	1	0	1	0	26	1A		PY_7	PY_6	PY_5	PY_4	PY_3	PY_2	PY_1	PY_0	POT Y	READ-ONLY
1	1	0	1	1	27	1B		O_7	O_6	O_5	O_4	O_3	O_2	O_1	O_0	OSC_3/RANDOM	READ-ONLY
1	1	1	0	0	28	1C		E_7	E_6	E_5	E_4	E_3	E_2	E_1	E_0	ENV_3	READ-ONLY

KONTROLLREGISTER

GENERATOR 1

FREQUENZ LOW/FREQUENZ HIGH (00,01)

Zusammen stellen diese Register ein 16-Bit-Wort dar, welches die Frequenz des 1. Oszillators nach folgender Gleichung festlegt:

$$F_{out} = (F_n * F_{clk}/16777216)Hz = (F_n * 0{,}0587214734)Hz$$

F_n ist die 16-Bit-Zahl aus den Registern, F_{clk} ist der Systemtakt, der am Eingang Ø2 anliegt.
Dadurch kann die Tonhöhe ohne wahrnehmbare Tonschritte durchgestimmt werden.

PW LO/PW HI (02,03)

Diese Register bilden eine 12-Bit-Zahl (Bit 4–7 von PW HI werden nicht genutzt), welche das Tastverhältnis des Rechteckgenerators 1 bestimmt. Das Verhältnis errechnet sich wie folgt:

$$PW_{out} = (PW_n/40{,}95)\%$$

PW_n ist hier die 12-Bit-Zahl in den PW-Registern. Das Tastverhältnis kann so ohne wahrnehmbare Schritte verändert werden. Diese Register haben nur dann einen hörbaren Effekt, wenn der Rechteckgenerator 1 eingeschaltet ist. Wenn in den Registern 0 oder 4095 steht, entsteht ein DC-Signal, 2048 ergibt dagegen ein Rechteck mit 50% Tastverhältnis.

KONTROLLREGISTER (04)

Dieses Register enthält 8 Kontrollbits:

GATE (Bit 0)

Steuert den Hüllkurvengenerator. Wenn es 1 gesetzt ist, beginnt der Zyklus Attack/Decay/Sustain. Wenn es 0 gesetzt wird, beginnt der Zyklus Release (genauere Erklärung im Kapitel Hüllkurvengenerator).

SYNC (Bit 1)

Wenn dieses Bit 1 gesetzt ist, wird die Frequenz des Generators 1 mit der Frequenz des Generators 3 synchronisiert ("Hard-Sync"-Effekte).
Wenn die Frequenz des Generators 1 unter Berücksichtigung der Frequenz des Generators 3 variiert wird, entsteht eine große Zahl komplexer harmonischer Strukturen. Wenn Sync funktionieren soll, muß die Frequenz des dritten Generators kleiner als die des ersten Generators sein (nicht 0). Keine anderen Parameter der 3. Stimme beeinflussen Sync.

RING MOD (Bit 2)

Wenn dieses Bit 1 gesetzt ist, wird der Dreieckgenerator der 1. Stimme durch eine mit Frequenz 1 und 3 ringmodulierte Spannung ersetzt. Wenn jetzt die Frequenz 1 verändert wird, entstehen nichtharmonische Obertöne, welche für Klingel- oder Gonggeräusche und Spezialeffekte gebraucht werden. Hierfür muß bei Generator 1 Dreieck und bei Generator 3 eine Frequenz größer als Null eingestellt sein. Andere Parameter der 3. Stimme haben keine Wirkung.

TEST (Bit 3)

Wenn dieses Bit 1 gesetzt ist, wird der 1. Generator zurückgesetzt und auf 0 gehalten, bis das Testbit gelöscht ist. Der Rauschgenerator ist abgestellt, und der Rechteckgenerator wird auf DC gehalten. Zwar wird dieses Bit normalerweise für Testzwecke benutzt, es kann jedoch Generator 1 auch mit externen Ereignissen synchronisieren (kompliziertere Kurvenformen, Realzeit-Verarbeitung).

BIT 4

Wenn dieses Bit gesetzt ist, ist der Dreieckgenerator eingeschaltet. Diese Kurvenform ist arm an Obertönen und hat einen weichen, einer Flöte ähnlichen Charakter.

BIT 5

Wenn dieses Bit gesetzt ist, ist der Sägezahngenerator eingeschaltet. Dieser ist reich an geraden und ungeraden Obertönen und ergibt einen breiten, an Blechbläser erinnernden Klang.

BIT 6

Wenn dieses Bit gesetzt ist, ist der Rechteckgenerator ausgewählt. Der Obertonanteil kann durch das Tastverhältnis eingestellt werden, die Möglichkeiten reichen vom hellen, hohlen Rechteckklang bis zum nasalen, schrillen Klang kurzer Impulse. Wenn das Tastverhältnis beim Spielen verändert wird, entsteht ein "pashing"-Effekt, der den Eindruck einer Bewegung erweckt. Schnelles Hin- und Herschalten zwischen verschiedenen Tastverhältnissen kann interessante Sequenzen erzeugen.

BIT 7

Wenn dieses Bit gesetzt ist, ist der Rauschgenerator eingeschaltet.
Dieser produziert Rauschen, das die Klangfarbe vom tiefen Rumpeln bis zum zischenden weißen Rauschen durch die Frequenzeinstellung des Generators 1 verändern kann. Rauschen braucht man, um Explosionen, Gewehrschüsse, Düsenjäger, Wind und ähnliche Geräusche zu erzeugen, oder für Trommeln und Becken. Indem man die Frequenz beim Spielen verändert, kann man Stürme nachbilden.
Obwohl einer dieser Generatoren eingeschaltet sein muß, um die 1. Stimme am Ausgang erklingen zu lassen, ist es nicht notwendig, die einzelnen Generatoren auszuschalten, um die Stimme abzustellen. Die Lautstärke wird nur durch den Hüllkurvengenerator bestimmt.

Bemerkung: Die Oszillatorausgänge können nicht addiert werden. Wenn mehr als ein Oszillator eingeschaltet ist, wird das Ergebnis eine logische "Und"-Verknüpfung der Kurvenform sein. Obwohl damit neue Kurvenformen erzeugt werden können, sollte dies vorsichtig benutzt werden. Wenn Rauschen eingeschaltet ist und zusätzlich eine Kurvenform eingeschaltet wird, verstummt das Rauschen, bis das Testbild zurückgesetzt oder der Pin 5 (RES) Low geschaltet wird.

ATTACK/DECAY (05)

Bit 4–7 wählt eine von 16 möglichen Anstiegszeiten (Attack) für den Hüllkurvengenerator der 1. Stimme. Dies bestimmt, wie schnell der Ausgang auf volle Lautstärke anschwillt, wenn der Hüllkurvengenerator eingeschaltet wird (Gate).
Bit 0 bis 3 wählen eine von 16 möglichen Abschwellzeiten (Decay) aus. Diese Zeit gibt an, wie schnell die Lautstärke vom Spitzenwert auf den ausgewählten Haltepegel (Sustain) abfällt.

Bemerkung zur Tabelle: Die angegebenen Werte beziehen sich auf eine Taktfrequenz von 1 MHz. Wenn die Taktfrequenz abweicht, müssen die Werte mit 1 MHz/F(clk) multipliziert werden.
Die angegebenen Zeiten beziehen sich auf die Zeit, die benötigt wird, um den Zyklus abzuschließen. Eine Anstiegszeit von 16 ms (Wert 2) bedeutet z. B., daß die Lautstärke nach 16 ms von Pegel 0 den Spitzenwert erreicht. Die Abfall-/Ausklingzeiten beziehen sich auf die Zeit, die benötigt wird, um vom *Spitzenwert auf Null zu sinken.*

STIMME 2

Die Register $07–$0D kontrollieren die Stimme 2 und haben die gleiche Funktion wie die Register 00–06, mit folgenden Ausnahmen:

1) SYNC synchronisiert den Generator 2 mit Generator 1.
2) RING MOD ersetzt die Dreieckspannung durch die ringmodulierte Kombination der Generatoren 1 und 2.

STIMME 3

Die Register $0E–$14 haben für die 3. Stimme die gleiche Funktion wie die Register 00–06, mit folgenden Ausnahmen:

1) SYNC synchronisiert Generator 3 mit Generator 2.
2) RING MOD ersetzt die Dreieckspannung durch ringmodulierte Kombination der Generatoren 2 und 3.

Wenn man einen Ton ansprechen will, muß man also Frequenz, Kurvenform, Effekte (SYNC, RING MOD) und Hüllkurve bestimmen. Dann kann man den Ton jederzeit mit dem Gatebit abrufen. Der Ton hält solange an, bis das Gatebit zurückgesetzt wird. Jede Stimme kann einzeln, mit unterschiedlichen Parametern oder mit anderen Stimmen zusammen benutzt werden, um eine einzelne, kräftige Stimme zu erhalten. Dabei kann eine leichte Verstimmung der Oszillatoren untereinander oder die Stimmung in musikalischen Intervallen einen wirkungsvollen Effekt ergeben.

SUSTAIN/RELEASE (06)

Bit 4–7 wählt einen von 16 möglichen Halte-(Sustain-)Pegeln des Hüllkurvengenerators aus. Diese Phase folgt dem Abfall, der Pegel wird gehalten, solange das Gatebit gesetzt ist. Der Pegel kann von Stille (0) bis zur Spitzenlautstärke (15) linear eingestellt werden. Ein Wert von 8 würde demnach der halben Lautstärke, die beim Anstieg (Attack) erreicht wird, entsprechen.
Mit Bit 0–3 kann eine der 16 Ausklingarten gewählt werden. Der Ausklingzyklus folgt der Haltezeit, wenn das Gatebit zurückgesetzt wird. Dann fällt die Lautstärke vom Haltepegel auf Null in der eingestellten Zeit. Die Ausklingzeiten mit den Werten 0–16 sind identisch mit den Abfallzeiten 0–16.

Bemerkung: Der geschilderte Ablauf kann ohne Einschränkung jederzeit durch das Gatebit verändert werden. Wenn das Gatebit z. B. zurückgesetzt wird, bevor die Anschlagszeit abgelaufen ist, beginnt sofort bei dem erreichten Pegel die Ausklingzeit. Wenn jetzt das Gatebit wieder gesetzt wird, beginnt sofort eine neue Anstiegszeit bei dem jetzt erreichten Pegel. Dadurch können komplizierte Amplitudenverläufe durch Realzeitprogrammierung erzeugt werden.

Tabelle 2 Hüllkurvenraten

WERT		ANSTIEGSRATE	ABKLING/ABFALLRATE
DEZIMAL	(HEX)	(Takt/Zyklus)	(Takt/Zyklus)
0	(0)	2 ms	6 ms
1	(1)	8 ms	24 ms
2	(2)	16 ms	48 ms
3	(3)	24 ms	72 ms
4	(4)	38 ms	114 ms
5	(5)	56 ms	168 ms
6	(6)	68 ms	204 ms
7	(7)	80 ms	240 ms
8	(8)	100 ms	300 ms
9	(9)	250 ms	750 ms
10	(A)	500 ms	1.5 s
11	(B)	800 ms	2.4 s
12	(C)	1 s	3 s
13	(D)	3 s	9 s
14	(E)	5 s	15 s
15	(F)	8 s	24 s

FILTERREGISTER

FC LO/FC HI (Register $15,$16)

Diese Register bilden zusammen eine 11-Bit-Zahl (Bit 3–7 des Registers FC LO werden nicht genutzt). Diese bestimmt linear die Mitten- bzw. Eckfrequenz, sie kann von 30 Hz bis 12 kHz eingestellt werden.

RES/FILT (Register $17)

Bit 4–7 dieses Registers bestimmen die Resonanz des Filters. Dieser Effekt hebt die Frequenzen in der Nähe der Eckfrequenz an, dadurch ergibt sich ein schärferer Klang. Es können 16 verschiedene Einstellungen vorgenommen werden (linear von 0 bis 16). Bit 0–3 legt fest, welches Signal gefiltert wird:

FILT 1 (Bit 0):

Eine 0 in diesem Register bedeutet, daß die Stimme 1 ohne Veränderung auf den Audioausgang geschaltet wird (Bypass). Wenn es gesetzt ist, wird die 1. Stimme gefiltert, ihr Obertonanteil verändert sich.

FILT 2 (Bit 1):

Gleiche Wirkung wie Bit 0 für die 2. Stimme.

FILT 3 (Bit 2):

Gleiche Wirkung wie Bit 0 für die 3. Stimme.

FILTEX (Bit 3):

Gleiche Wirkung wie Bit 0 für den Audioeingang.

MODE/VOL (Register $18)

Bits 4–7 bestimmen verschiedene Filter- und Ausgabearten:

LP (Bit 4): Wenn dieses Bit gesetzt ist, ist der Tiefpaß eingeschaltet, d. h. alle Frequenzen unterhalb der Eckfrequenz bleiben unverändert, alle Frequenzen oberhalb werden mit 12 dB/Oktave abgeschwächt. Es entstehen volle Klänge.

BP (Bit 5):

Das gleiche für den Bandpaß. Alle Frequenzen unter und oberhalb der Mittenfrequenz werden mit 6 dB/Oktave abgeschwächt. Es entstehen offene, dünne Klänge.

HP (Bit 6):

Das gleiche für den Hochpaß. Alle Frequenzen oberhalb der Eckfrequenz bleiben unverändert, unterhalb werden sie mit 12 dB/Oktave abgeschwächt. Es entstehen summende und blecherne Klänge.

3 OFF (Bit 7):

Eins gesetzt, trennt dieses Bit die 3. Stimme vom Audioausgang ab. Wenn man Stimme 3 am Filter vorbei schaltet (mit FILT 3=0) und 3 OFF gesetzt ist, wird die 3. Stimme nicht auf den Ausgang geschaltet, kann aber zur Modulation der anderen Stimmen benutzt werden.

Bemerkung: Die Filter können zusammengeschaltet werden. Z. B. ergibt LP zusammen mit HP ein Notchfilter (Bandsperre). Damit der Filtereffekt hörbar wird, muß ein Filter eingeschaltet sein und eine Stimme durch das Filter geführt werden. Das Filter ist vielleicht das wichtigste Element im SID, da es durch die subtraktive Synthese viele Klangmöglichkeiten schafft (das Filter entzieht dem obertonreichen Eingangssignal bestimmte Frequenzen). Gute Ergebnisse erzielt man, wenn man die Eck- bzw. Mittenfrequenz während des Spielens variiert.

VOL 0–VOL 3 (Bit 0–3):
Hiermit wird die Gesamtlautstärke zwischen 0 (leise) und 15 (laut) in linearen Stufen eingestellt. Hiermit kann die Lautstärke beim Zusammenschalten mehrerer Chips abgestimmt oder Effekte wie Tremolo erzeugt werden. Bei VOL=0 ist der Ausgang stumm.

WEITERE EIGENSCHAFTEN

POTX (Register $19)

Dieses Register erlaubt dem Prozessor, die Position eines Potentiometers, das an Pin 24 angeschlossen ist, in Schritten von 0 bei kleinstem Widerstand bis 255 bei vollem Widerstand zu erkennen. Das Ergebnis liegt immer vor und wird alle 512 Takte erneuert.

POTY (Register $1A)

Das gleiche für ein zweites Potentiometer (an Pin 23).

OSC 3/RANDOM (Register $1B)

Dieses Register erlaubt dem Prozessor, die 8 oberen Bits des Ausgangs von Oszillator 3 zu lesen. Die Art der Ziffernfolge, die entsteht, ist direkt mit der Kurvenform verknüpft. Beim Sägezahn wächst die Zahlenfolge von 0 bis 255, um dann wieder bei 0 zu beginnen. Beim Dreieck wächst die Zahl von 0 bis 255, um dann von 255 bis 0 zu fallen. Beim Rechteck springt die Zahl zwischen 0 und 255 hin und her. Beim Rauschen wird eine Kette von Zufallszahlen erzeugt, deshalb kann dieses Register auch als Zufallszahlengenerator benutzt werden. Es gibt viele Anwendungsmöglichkeiten für dieses Register, die wichtigste ist vielleicht die Steuerung von Modulationen. Die Zahlen, die erzeugt werden, können per Software zum Inhalt der Oszillator- oder Filterfrequenzregister addiert werden etc. So können viele dynamische Effekte erzeugt werden: Sirenen, indem OSC3 (Sägezahn) zum Frequenzregister eines anderen Oszillators addiert wird. Vibrato entsteht, wenn OSC3 (Dreieck, 7 Hz) zum Frequenzregister einer anderen Stimme addiert wird. Dabei sollte der Audioausgang der 3. Stimme abgeschaltet sein (3OFF=1).

ENV 3 (Register $1C)

Im Prinzip das gleiche wie OSC3, es wird jedoch der Ausgang des Hüllkurvengenerators 3 gelesen. Die Zahlen können z. B. zum Inhalt des Filterfrequenzregisters addiert werden, es entstehen sog. "Harmonische Hüllkurven" und Wahwah-Effekte. "Phasing" entsteht, wenn dieser Ausgang zum Frequenzregister eines Oszillators addiert wird. Um dieses Signal zu erzeugen, muß das Gatebit geschaltet werden. Der Ausgang OSC3 spiegelt immer die Veränderungen am Ausgang des 3. Oszillators wider, er wird nicht vom Hüllkurvengenerator beeinflußt.

PINBESCHREIBUNG

CAP1A, CAP1B, (Pins 1, 2)/ CAP2A, CAP2B (Pins 3, 4):

Hier sollten zwei Kondensatoren für das programmierbare Filter angeschlossen werden. C1 und C2 sollten i. A. 2200 pf haben und aus Polystyrene bestehen. Wenn mehrere SIDs zusammen arbeiten sollen, sollten die Kapazitäten abgeglichen werden.
Der Frequenzbereich (normalerweise 30 Hz bis 12 kHz) kann auf spezielle Probleme zugeschnitten werden. So kann z. B. die obere Eckfrequenz beschnitten werden, um eine bessere Kontrolle über die unteren Frequenzen zu erhalten.

Die obere Eckfrequenz kann nach folgender Gleichung errechnet werden:

$$FC_{max} = 0{,}000026/C$$

C ist die Kapazität. Der Filterbereich erstreckt sich 9 Oktaven nach unten.

RES (Pin 5):

Reseteingang (TTL-Pegel) für den SID. Wenn dieser 10 Takte Low geschaltet ist, sind alle internen Register auf Null zurückgesetzt und der Audioausgang stumm. Er ist normalerweise mit der Resetleitung des Prozessors oder einer Einschaltlogik verbunden.

Ø2 (Pin 6):

Takteingang des SID (TTL-Pegel). Alle Parameter beziehen sich auf diesen Takt, er steuert auch den Datentransport zwischen CPU und SID: Daten können nur dann transportiert werden, wenn Ø2 High liest (somit ist Ø2 für den Datentransport eine Art Chip Select). Normalerweise ist Ø2 mit dem Systemtakt verbunden, dessen Frequenz ungefähr 1 MHz betragen sollte.

R/W:

Dieser TTL-Eingang steuert den Datentransport. Liegt High an, kann der Prozessor Daten auslesen, bei Low Daten in ein Register schreiben.

CS:

Dieser TTL-Eingang steuert den Datentransport, er muß Low sein, damit ein Transport stattfinden kann: Es kann nur gelesen werden, wenn CS=Low, 02=High und R/W=High ist. Geschrieben werden kann nur, wenn CS=Low, 02=High und R/W=Low ist. Normalerweise ist dieser Eingang mit einer Dekodierschaltung verbunden, um den SID im gesamten Adreßbereich plazieren zu können.

A0–A4:

Mit diesen TTL-Eingängen kann eines der 29 Register ausgewählt werden. Es könnten 32 Register angesprochen werden, 3 Adressen sind jedoch nicht belegt. Wenn dort geschrieben werden soll, wird dies ignoriert, beim Lesen werden ungültige Daten gelesen. Die Anschlüsse werden mit den entsprechenden Adressenleitungen des Prozessors verbunden, um den SID genauso ansprechen zu können wie einen Speicher.

GND:

Um beste Ergebnisse zu erzielen, sollte der SID eine vom Digitalteil getrennte Erdleitung erhalten.

D0–D7:

Diese bidirektionalen Leitungen werden zum Datentransport benutzt (TTL-Pegel, können als Ausgang 2 TTL-Eingänge treiben). Sie sind hochohmig, wenn der SID nicht angesprochen wird oder vom Prozessor in den SID geschrieben wird. Beim Lesen werden sie durchgeschaltet und übermitteln die Daten an den Prozessor. Sie werden mit dem Datenbus verbunden.

POTX,POTY:

Dies sind die Eingänge der A/D-Umsetzer, mit denen die Stellung der Potentiometer digitalisiert werden kann. Der Umsetzungsprozeß hängt von der Kapazität ab, die vom Pin nach GND geschaltet ist und über das Potentiometer von $+V_{cc}$ gespeist wird. Die Werte müssen folgender Gleichung entsprechen:

$$R*C = 0{,}00047$$

R ist der max. Widerstand des Potentiometers und C die Kapazität.
Je größer die Kapazität ist, um so kleiner muß R sein. Empfohlen werden: C = 1000 pF; R=470 kOhm. POTX und POTY können unterschiedliche Werte für R und C aufweisen, solange die Gleichung erfüllt ist.

V_{cc}:

Auch für die Spannungsversorgung (+5 V) sollte eine separate Leitung zur Verfügung stehen und ein Blockkondensator dicht am SID plaziert werden.

EXT IN:

Dieser Analogeingang erlaubt es, externe Signale mit dem Ausgangssignal des SID zu mischen oder sie zu filtern. Typische Quellen sind Gesang, Gitarre und Orgel. Der Eingangswiderstand beträgt 100 kOhm. Der Eingang hat einen Offset von 6 V und kann bis zu 3 Vp-p verarbeiten.

Deshalb sollte der Eingang mit einem Elektrolytkondensator von 1000–10000 nF entkoppelt werden. Mit FILTEX = 0 können viele SIDs zusammengeschaltet werden (Verstärkung = 1), die Anzahl wird nur durch den Geräuschspannungspegel im Ausgangssignal begrenzt.
Der Gesamtlautstärkeregler wirkt auch auf diesen Eingang.

AUDIO OUT:

Dieser Ausgang (Open-source) umfaßt die 3 Stimmen, den Filter und den externen Eingang. Der Pegel wird durch den Gesamtlautstärkeregler bestimmt und erreicht max. 2 Vp-p bei einem Offset von 6 V. Es muß ein Widerstand (1 kOhm) gegen Masse geschaltet werden, und ein Elektrolytkondensator von 1000–10000 nF sollte den Ausgang entkoppeln.

V_{DD}:

Auch hier sollte eine separate Leitung vorgesehen werden (+12 V).

MERKMALE VON 6581 SID

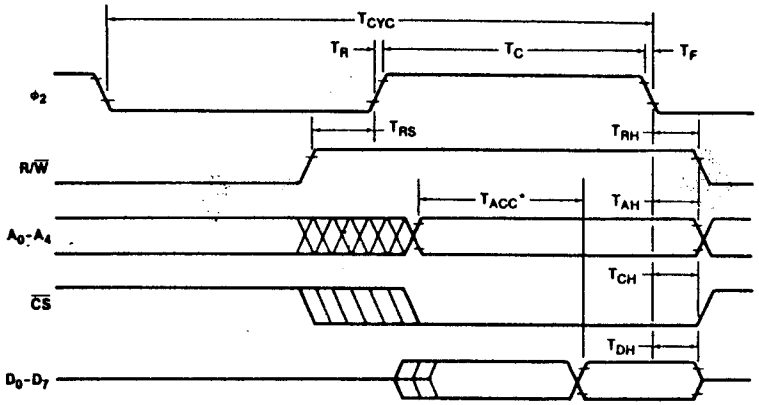
ABSOLUTE MAX. NENNWERTE

NENNWERT	SYMBOL	WERT	EINHEIT
Versorgungsspannung	V_{DD}	−0,3 bis +17	VDC
Versorgungsspannung	V_{CC}	−0,3 bis +7	VDC
Eingangsspannung (analog)	V_{ins}	−0,3 bis +17	VDC
Eingangsspannung (digital)	V_{ind}	−0,3 bis +7	VDC
Betriebstemperatur	T_A	0 bis 70	°C
Lagertemperatur	T_{STG}	−55 bis +150	°C

ELEKTRISCHE EIGENSCHAFTEN (V_{CC}=12 VDC ± 5%, V_{CC}=5 VDC ± 5%, T_A=0 bis 70°C)

CHARACTERISTIC		SYMBOL	MIN	TYP	MAX	UNITS
Input High Voltage Input Low Voltage	(RES, ϕ2, R/W, CS, A0–A4, D0–D7)	V_{IH} V_{IL}	2 −0.3	— —	V_{CC} 0.8	VDC VDC
Input Leakage Current Three-State (Off)	(RES, ϕ2, R/W, CS, A0–A4; V_{In}=0–5 VDC) (D0–D7; V_{CC}=max)	I_{In} I_{TSI}	— —	— —	2.5 10	μA μA
Input Leakage Current	V_{In}=0.4–2.4 VDC					
Output High Voltage	(D0–D7; V_{CC}=min, I load=200 μA)	V_{OH}	2.4	—	V_{CC}−0.7	VDC
Output Low Voltage	(D0–D7; V_{CC}=max, I load=3.2 mA)	V_{OL}	GND	—	0.4	VDC
Output High Current	(D0–D7; Sourcing, V_{OH}=2.4 VDC)	I_{OH}	200	—	—	μA
Output Low Current	(D0–D7; Sinking, V_{OL}=0.4 VDC)	I_{OL}	3.2	—	—	mA
Input Capacitance	(RES, ϕ2, R/W, CS, A0–A4, D0–D7)	C_{In}	—	—	10	pF
Pot Trigger Voltage	(POTX, POTY)	V_{pot}	—	V_{CC}/2	—	VDC
Pot Sink Current	(POTX, POTY)	I_{pot}	500	—	—	μA
Input Impedance	(EXT IN)	R_{In}	100	150	—	kΩ
Audio Input Voltage	(EXT IN)	V_{In}	5.7 —	6 0.5	6.3 3	VDC VAC
Audio Output Voltage	(AUDIO OUT; 1 kΩ load, volume=max) One Voice on: All Voices on:	V_{out}	5.7 0.4 1.0	6 0.5 1.5	6.3 0.6 2.0	VDC VAC VAC
Power Supply Current	(V_{DD})	I_{DD}	—	20	25	mA
Power Supply Current	(V_{CC})	I_{CC}	—	70	100	mA
Power Dissipation	(Total)	P_D	—	600	1000	mW

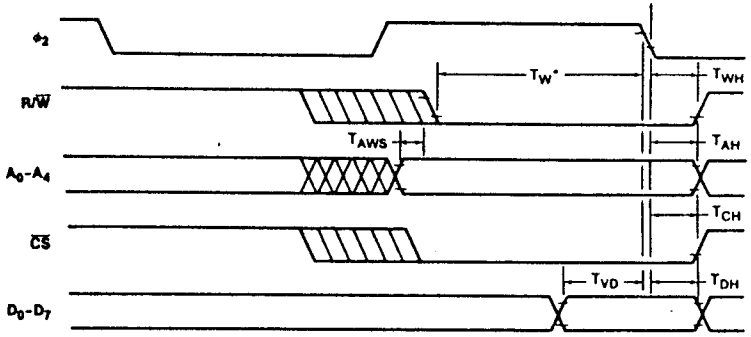
6581 SID-TIMING



*T_{ACC} wird nach dem letzten Auftreten von Ø2, $\overline{CS}$, A_0–A_4 gemessen.

LESEZYKLUS

SYMBOL	NAME	MIN	TYP	MAX	UNITS
T_{CYC}	Clock Cycle Time	1	—	20	µs
T_C	Clock High Pulse Width	450	500	10,000	ns
T_R,T_F	Clock Rise/Fall Time	—	—	25	ns
T_{RS}	Read Set-Up Time	0	—	—	ns
T_{RH}	Read Hold Time	0	—	—	ns
T_{ACC}	Access Time	—	—	300	ns
T_{AH}	Address Hold Time	10	—	—	ns
T_{CH}	Chip Select Hold Time	0	—	—	ns
T_{DH}	Data Hold Time	20	—	—	ns



*T_W wird nach dem letzten Auftreten von Ø2, $\overline{CS}$, R/$\overline{W}$ gemessen.

SCHREIBZYKLUS

SYMBOL	NAME	MIN	TYP	MAX	UNITS
T_W	Write Pulse Width	300	—	—	ns
T_{WH}	Write Hold Time	0	—	—	ns
T_{AWS}	Address Set-up Time	0	—	—	ns
T_{AH}	Address Hold Time	10	—	—	ns
T_{CH}	Chip Select Hold Time	0	—	—	ns
T_{VD}	Valid Data	80	—	—	ns
T_{DH}	Data Hold Time	10	—	—	ns

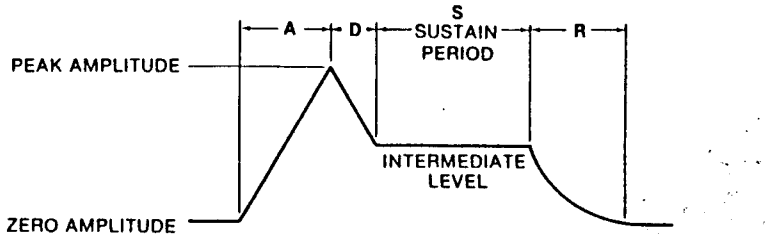
SID TONLEITER

Im Anhang E sind alle Werte aufgelistet, die in die Frequenzregister eingeschrieben werden müssen, um die Töne einer "wohltemperierten" Tonleiter zu erhalten. Diese besteht aus einer Oktave mit 12 Halbschritten: C, D, E, F, G, A, H, C und C#, D#, F#, G#, A#. Die Frequenz jedes Halbtones läßt sich durch Multiplikation der Frequenz des vorigen Halbtones mit der 12. Wurzel aus 2 errechnen. Der Tabelle liegt ein Systemtakt von 1,02 MHz zugrunde. Für andere Taktfrequenzen muß man die bei den Frequenzregistern angegebene Umrechnung anwenden. Die angegebene Stimmung bezieht sich auf A4 = 440 Hz. Es ist möglich, eine andere Stimmung zu verwenden oder diese Tonfolge umzustellen.
Obwohl dies eine einfache und schnelle Methode ist, die Tonleiter zu programmieren, werden allein zur Speicherung dieser Tabelle 192 Bytes benötigt. Diese Verschwendung des Speicherplatzes kann durch einen Algorithmus umgangen werden, mit dem die Notenwerte berechnet werden können. Da eine Oktave die Verdoppelung der Frequenz bedeutet, brauchen nur die 12 Notenwerte einer Oktave gespeichert zu werden. Wenn diese 12 Eingaben (24 Bytes) aus den Werten für die 8. Oktave bestehen (C7–H7), kann der Wert für jede beliebige Note errechnet werden, indem die Frequenz des entsprechenden Tones der 8. Oktave für jede Oktave Unterschied einmal durch 2 geteilt wird. Eine Division durch 2 ist in binärer Darstellung eine Verschiebung um ein Bit nach rechts. Deshalb kann die Berechnung durch eine einfache Routine durchgeführt werden. Obwohl die Frequenz von H7 von dem Oszillator nicht gebildet werden kann, sollte sie zur Berechnung in die Tabelle aufgenommen werden.
Für jeden Ton muß nun festgelegt werden, um welchen Halbton es sich handelt und in welcher Oktave er erklingen soll. Da man 4 Bit braucht, um 1 von 12 Halbtönen zu wählen, und 3 Bit, um eine von 8 Oktaven zu bestimmen, reicht ein Byte aus. Die unteren 4 Bit bestimmen z. B. den Halbton (sie adressieren einen Platz der Tabelle) und die oberen 4 Bit, um wieviel Stellen der Tabellenwert nach rechts verschoben werden muß.

SID HÜLLKURVENGENERATOR

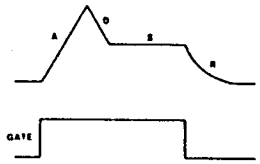
HÜLLKURVENGENERATOR

Der vierteilige ADSR (Attack, Decay, Sustain, Release) hat sich in der elektronischen Musik als optimaler Kompromiß zwischen Flexibilität und einfacher Bedienung erwiesen. Passende Wahl der Parameter erlaubt es, eine Vielzahl von Instrumenten nachzuahmen.
Die Geige ist ein gutes Beispiel für ein Instrument mit lang anhaltendem Ton: Er schwillt langsam an, erreicht eine Spitzenlautstärke und fällt dann auf einen niedrigeren Wert ab. Der Geiger kann diesen Ton lange halten, um ihn dann langsam ausklingen zu lassen. Ein "Schnappschuß" dieser Hüllkurve zeigt dieses Bild:



Diese Hüllkurve kann folgendermaßen nachgebildet werden:

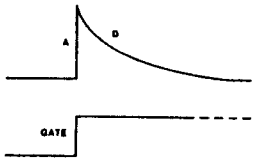
ATTACK:	10 ($A)	500 ms
DECAY:	8	300 ms
SUSTAIN:	10 ($A)	
RELEASE:	9	750 ms



Man beachte, daß der Ton solange anhält, bis das Gatebit zurückgesetzt wird. Mit wenigen Änderungen kann diese Hüllkurve für Blech- und Holzblasinstrumente und alle Streichinstrumente verwendet werden.
Eine ganz andere Hüllkurve besitzen Schlag- und Tasteninstrumente. Die Hüllkurve von Schlaginstrumenten wird von einem nahezu augenblicklichen Anstieg und einem darauf folgenden Abfall bestimmt, diese Instrumente können den Ton nicht auf einer konstanten Lautstärke halten. Eine Trommel erreicht in dem Moment, in dem sie angeschlagen wird, ihre volle Lautstärke, um dann schnell auszuklingen.

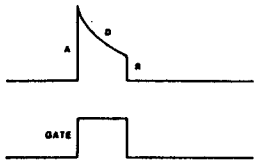
Die typische Hüllkurve eines Beckens wird hier gezeigt:

ATTACK:	0	2ms
DECAY:	9	750ms
SUSTAIN:	0	
RELEASE:	9	750ms



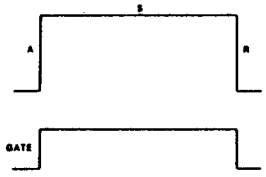
Man beachte, daß der Ton vollkommen ausklingt, obwohl das Gatebit nicht zurückgesetzt wird.
Der Amplitudenverlauf von Klavieren ist komplizierter, er kann aber mit dem ADSR leicht erzeugt werden. Der Ton erreicht seine volle Lautstärke, wenn die Taste angeschlagen wird, und beginnt dann abzuschwellen. Wenn die Taste losgelassen wird, wird der Ton durch die Mechanik abgedämpft. Diese Hüllkurve ist hier dargestellt:

ATTACK:	0	2 ms
DECAY:	9	750 ms
SUSTAIN:	0	
RELEASE:	0	6 ms



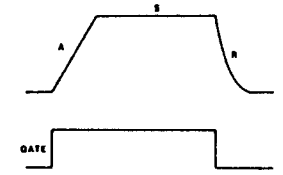
Man beachte, daß der Ton abklingt, bis das Gatebit zurückgesetzt und dann abgestellt wird.
Die einfachste Hüllkurve ist die einer Orgel: Solange eine Taste gedrückt ist, hat der Ton volle Lautstärke und wird sofort abgestellt, wenn die Taste wieder losgelassen wird.
Diese Hüllkurve ist hier dargestellt:

ATTACK:	0	2 ms
DECAY:	0	6 ms
SUSTAIN:	15 ($F)	
RELEASE:	0	6 ms



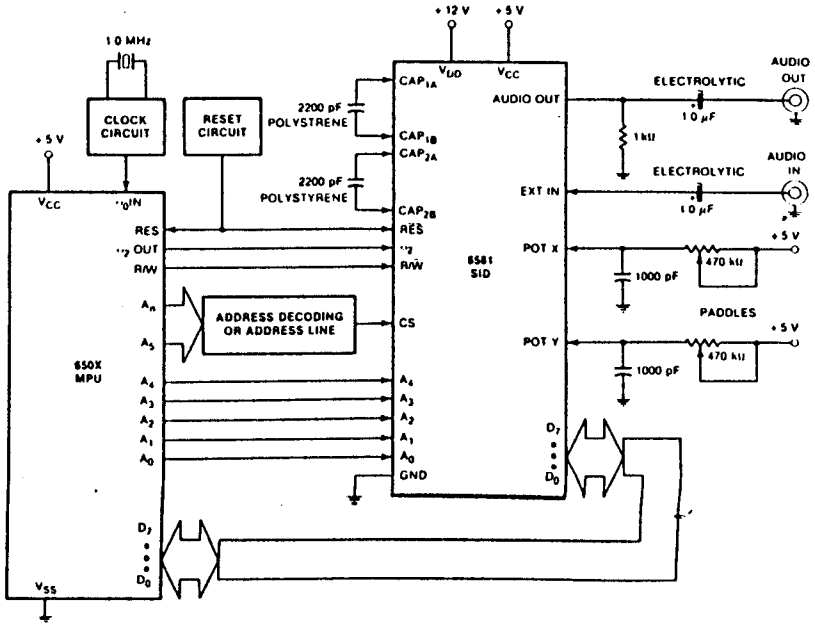
Die wirkliche Stärke des SID liegt aber in der Erzeugung künstlicher Klänge. Der ADSR kann Hüllkurven erzeugen, die bei keinem Instrument vorkommen. Ein gutes Beispiel ist hierfür die "Rückwärts"-Hüllkurve. Sie wird von einem langsamen Anstieg und einem scharfen Abfall bestimmt, was so klingt, als hätte man das Instrument auf Tonband aufgenommen und würde die Aufnahme rückwärts abspielen. Sie sieht folgendermaßen aus:

ATTACK:	10 ($A)	500 ms
DECAY:	0	6 ms
SUSTAIN:	15 ($F)	
RELEASE:	3	72 ms



Viele bemerkenswerte Klänge entstehen, wenn der Hüllkurvenverlauf des einen Instrumentes mit dem Klang eines anderen kombiniert wird. Dadurch entstehen Klänge, die bekannten Instrumenten ähneln, aber irgendwie fremd klingen. Da Klänge im allgemeinen subjektiv empfunden werden, muß man mit verschiedenen Klangfarben und Hüllkurven experimentieren, bis man den gewünschten Klang erhält.

TYPISCHE 6581/SID-ANWENDUNG



ANHANG P

GLOSSAR

ADSR	Anstieg-/Abkling-/Halte-/Abfallhüllkurve
ATTACK	Rate, mit der eine Musiknote die Spitzenlautstärke erreicht (Anstieg)
Binär	Zahlensystem mit der Basis 2
Boole'scher Operator	Logischer Operator
Byte	Speicherplatz
CHROMA-Rauschen	Farbverzerrung
CIA	Komplex-Interface-Adapter
DDR	Datenrichtungsregister
DECAY	Rate, mit der eine Musiknote von der Spitzenlautstärke bis zum Haltepegel abfällt (Abklingen)
Dezimal	Zahlensystem mit der Basis 10
e	Mathematische Konstante (ca. 2,71828173)
Hüllkurve	Lautstärkenkontur einer Note über einen bestimmten Zeitraum
FIFO	Zuerst eingegeben/Zuerst ausgeben
Hexadezimal	Zahlensystem mit der Basis 16
Ganze Zahl	Zahl ohne Dezimalpunkt
Jiffy-Uhr	Hardware-Intervall-Timer
NMI	Nicht maskierbare Unterbrechung
Oktal	Zahlensystem mit der Basis 8
Operand	Parameter
OS	Betriebssystem
Pixel	Auflösepunkt auf dem Bildschirm
Warteschlange	Einzel-Dateileitung
Register	Besonderer Speicherplatz
RELEASE	Rate, mit der eine Musiknote vom Haltepegel bis auf die Null-Lautstärke abfällt (Abfall)
ROM	Nur-Lesespeicher
SID	Sound-Interface-Vorrichtung
Vorzeichenzahlen	Positive oder negative Zahlen
Index	Indexvariable
SUSTAIN	Lautstärkepegel zum Halten einer Musiknote
Syntax	Programm-Satzstruktur
Abschneiden	Auslassen (nicht gerundet)
VIC-II	Video-Interface-Chip
Video-Bildschirm	Fernsehgerät

C64 Diagnostic

Information über das Diagnostic-Programm mit Hinweisen für den Service-Techniker auf mögliche Fehlerquellen.

Für-das Diagnostic Programm sind Brückenstecker nötig um die zu testenden Signalleitungen zu verbinden. Die Belegung der Stecker ist im Anhang angegeben.

Wenn mit dem Diagnostic-Programm fehlerhafte Bauteile angezeigt werden, sollten immer erst die Versorgungsspannung für das betreffende Bauteil überprüft werden.

Um zu ersehen welche Signalleitungen in den einzelnen Test-Routinen überprüft werden, sollten in jedem Fall die Belegung der Brückenstecker und der Schaltplan zur Einsicht genommen werden.

Testroutine ZERO PAGE:

Hier werden in dem Adress-Bereich $00FF-$0000 alle möglichen Bitkombinationen (in jede Adresse) geschrieben und überprüft.

Mögliche Fehlerquellen:

a. defektes RAM lt. Angabe auf dem Bildschirm (U9, 10, 11, 12, 21, 22, 23, 24)

b. defekter Multiplexer für die Adressen (U13, U25)

c. Multiplexer Ansteuerung nicht vorhanden (CAS PIN 1 von U13, U25)

d. Kurzschluß oder Leiterbahnunterbrechung auf dem Adress-Bus zwischen Multiplexer und RAM

e. Leiterbahnunterbrechung auf dem Adressbus vor dem Multiplexer

f. Leiterbahnunterbrechung auf dem Datenbus.

Testroutine STACK PAGE:

Hier wird der Adress-Bereich von $01FF-$0100 wie bei der Routine ZERO PAGE getestet.

Mögliche Fehlerquellen s. Testroutine ZERO PAGE.

Testroutine COLOUR-RAM:

Getestet wird das Colour-RAM im Adress-Bereich $DBFF-D800

Mögliche Fehlerquellen:

a. Colour-RAM defekt (U6)

b. Kein CS für U6 (U27, U15, U17, defekt)
Leiterbahn unterbrochen oder kurzgeschlossen

Testroutine 64k-RAM:

Getestet wird das Dynamische RAM im Adress-Bereich $FFFF-$0200

Mögliche Fehlerquellen:

a. siehe TESTROUTINE ZERO PAGE

b. Port-Leitungen P0, P1, von U7

c. kein CASRAM von U17

Testroutine BASIC ROM:

Die Routine überprüft das BASIC-ROM auf richtigen Inhalt. Adressbereich $BFFF-A000

Mögliche Fehlerquellen:

a. BASIC-ROM defekt (U3)

b. kein CS (U17 defekt)

c. Adress- oder Datenleitungen an U3 unterbrochen

Testroutine KERNAL ROM:

Hier wird das KERNAL-ROM (Betriebssystem) auf richtigen Inhalt überprüft. Adressbereich $FFFF-E000

Mögliche Fehlerquellen:

a. KERNAL-ROM defekt (U4)

b. Adress- oder Datenleitungen an U4 unterbrochen

Testroutine TIMERS:

Die Routine testet alle TIMER von U1 und U2

Mögliche Fehlerquellen:

a. defektes Bauteil lt. Angabe auf dem Bildschirm

b. kein O_2 (PIN 25) an U1 oder U2 vorhanden.

Testroutine INTERRUPT:

Hier werden alle IRQ-Sources von den IC's U1 und U2 getestet und die IRQ-Signalleitung zu U7 überprüft.

Mögliche Fehlerquellen:

a. defektes Bauteil U1 oder U2

b. IRQ-Leitung unterbrochen oder kurzgeschlossen

c. Pull-up. (RP4 PIN2) nicht vorhanden.

Testroutine KEYBOARD + JOYSTICK:

In dieser Routine werden der Keyboard-Stecker CN1 und die Joystick-Anschlüsse CN8, CN9 auf richtige Funktion überprüft. Voraussetzung sind die richtigen Brückenstecker für CN1, CN8 und CN9. Hierbei werden die Port-Leitungen PA0-PA7 und PB0-PB7 von U1 auf Kurzschlüsse oder Unterbrechungen untersucht.

Mögliche Fehlerquellen:

a. defektes Bauteil U1

b. Kurzschluß auf den Port-Leitungen

c. Leiterbahn-Unterbrechung auf den Port-Leitungen

d. kein CS für U1

Testroutine PADDLE:

Hier werden die Register POTx und POTy und die Ansteuerung der Control-Ports auf richtige Funktion überprüft. Die angezeigten Werte auf dem Bildschirm zeigen den Mittelwert, der gelesenen Register, über 256 Messungen und ihre max. Differenz. Die Werte entsprechen einer digitalisierten Zahl abhängig dem angelegten Widerstandswert an POTx und POTy (quasi A/D-Wandler). Die abhängigen Parameter für den angezeigten Wert sind die Widerstände 270 kOhm 1 % (ausgemessen) auf dem Brückenstecker CN8 und CN9 , die Kondensatoren C48 und C93 und der Übergangswiderstand in dem Analogschalter U28.

Die angezeigten Werte beinhalten folgende Informationen.

	Control Port 1		Control Port 2	
	POTy	POTx	POTy	POTx
Angezeigt	DDyy	DDxx	DDyy	DDxx

DD entspricht der maximalen Differenz der 256 gelesenen Werte und sollte nicht zu hoch sein, da sonst bei Programmen (ohne Mittelbildung) z. B. Spiel mit Paddle-Anschluß ein Zittern des Cursors erfolgen würde..

Unterschiede zwischen xx und yy beinhaltet Toleranzen in den Kondensatoren C48 und C93 die zur Folge Einschränkungen in der Cursor-Position haben können.

Unterschiede zwischen xx von Control-Portl und xx von Control-Port2 sowie yy von Control-Portl und yy von Control-Port2 beinhalten Toleranzen in dem Analogschalter U28 die auch Einschränkungen der Cursor-Position zur Folge haben kann.

Testroutine CASSETTE:

Hier wird der Cassetten-Port auf Funktion überprüft.

Mögliche Fehlerquellen:

a. U7 defekt

b. Kurzschluß auf Portleitungen von U7

c. Leiterbahnunterbrechung auf Portleitungen von U7

d. Signalleitung CASS RD zu UI PIN 24
Unterbrochen oder Kurzschluß

e. Ul defekt

f. Transistor Q1, Q2 oder Q3 defekt.

Testroutine SERIAL BUS:

Hier wird der Serial-bus auf Funktion überprüft.

Mögliche Fehlerquellen:

a. Ul defekt

b. U2 defekt

c. U8 defekt

d. Signalleitungen kurzgeschlossen oder unterbrochen
(s. Brückenbelegung und Schaltplan)

Testroutine USER-PORT:

Es werden alle verfügbaren Leitungen am User-Port getestet.

Mögliche Fehlerquellen:

a. U2 defekt

b. Ul defekt

c. U8 defekt

d. Signalleitungen kurzgeschlossen oder unterbrochen

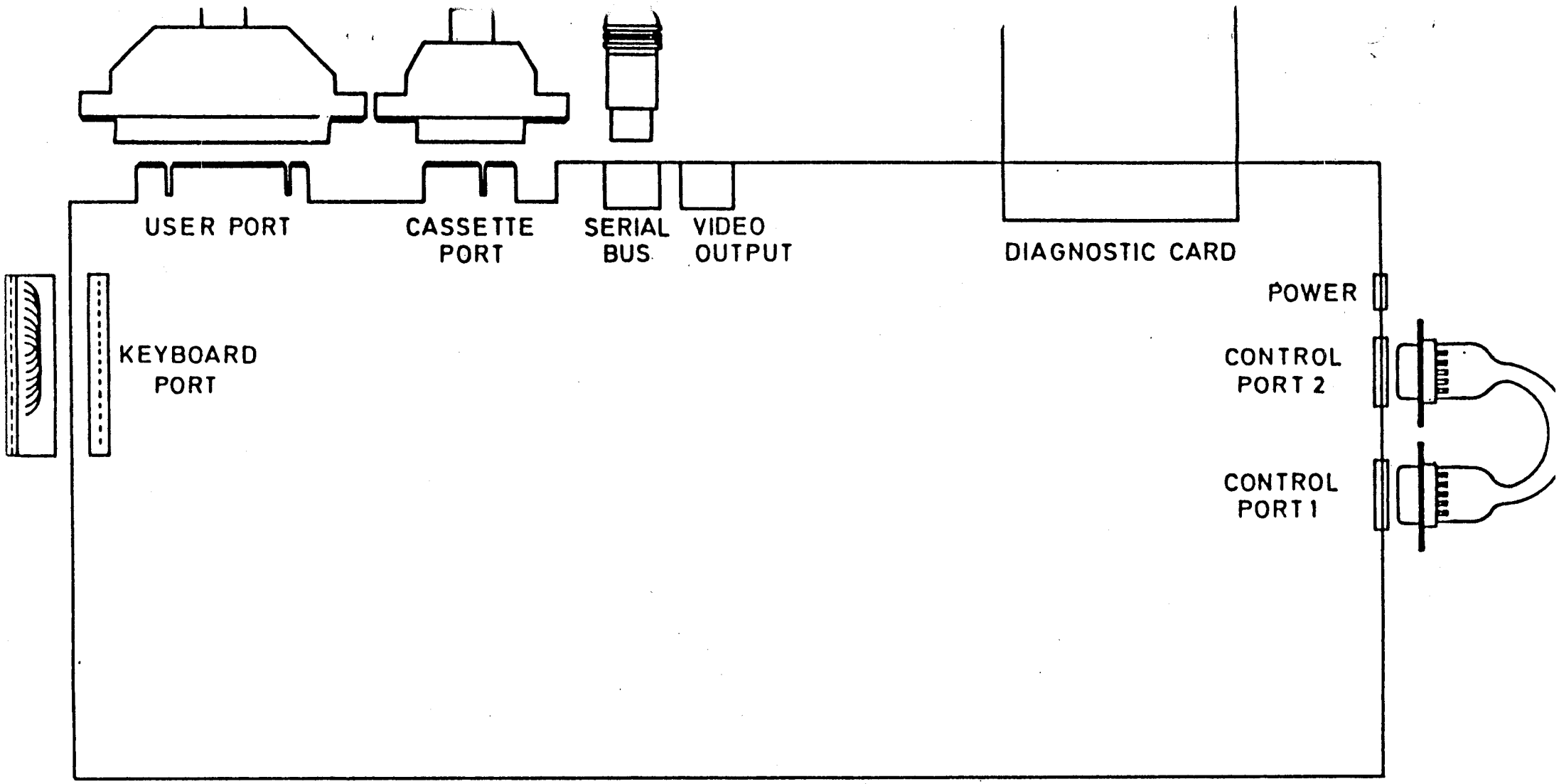
Testroutine SOUND CHIP:

Bei dieser Routine wird das Sound-Chip (U18) auf Funktion überprüft. Der Service-Techniker muß bei Ablauf dieses Testes aus seinem Monitor oder Fernseher drei Töne, die unterschiedliche Frequenzmuster (Dreieck, Sägezahn und Rechteck) haben, hören oder mit dem Oszilloskop auf dem Audio-Ausgang sehen. Anschliessend wird der Frequenzfilter über dsa gesamte Frequenzspecktrum überprüft. Dies ist duch ein ansteigendes Rauschen im Bereich von 30Hz - 12kHz hörbar.

Testroutine VIC CHIP:

Hier wird auf dem Bildschirm ein Farbbild erzeugt, welches zur Farbbeurteilung des Modulators und des Vic-chips dienen soll. Es ist hier eine Farb- und Character-Combination ausgewählt bei der mögliche Abbildungsfehler am besten zu erkennen sind.

Zum Einstellen des schlechten Farbbildes dienen die Ports R25 für die Farbe und R27 für die PAL-Frequenz.

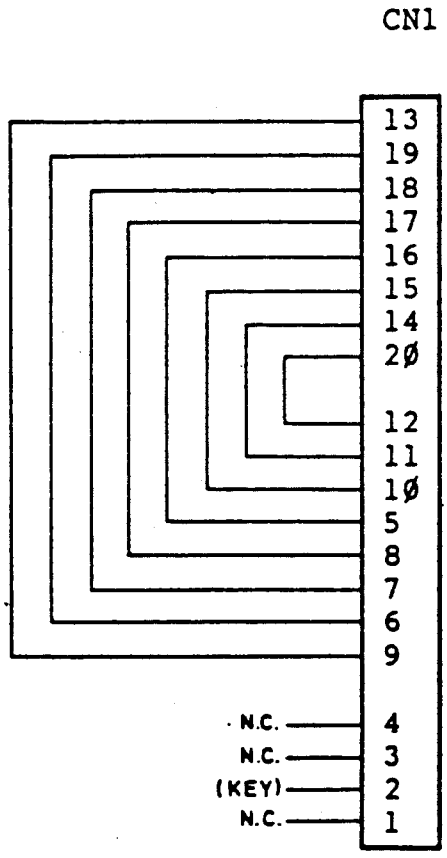


UNLESS OTHERWISE SPECIFIED TOLERANCES ON DECIMALS .X ±.1 .XX ±.01 .XXX ±.005 ∠ ±1°	DRAWN BY: GP.	DATE 18.2.83	commodore
	CHKD:		DIAGNOSTIC - TEST MAIN ASSY
	ENGR:		
	APPR:		
MATERIAL:	USED ON: C64	NEXT ASSY	SIZE A 324518
FINISH			SCALE SHEET 3 OF 3

Brückenbelegung für

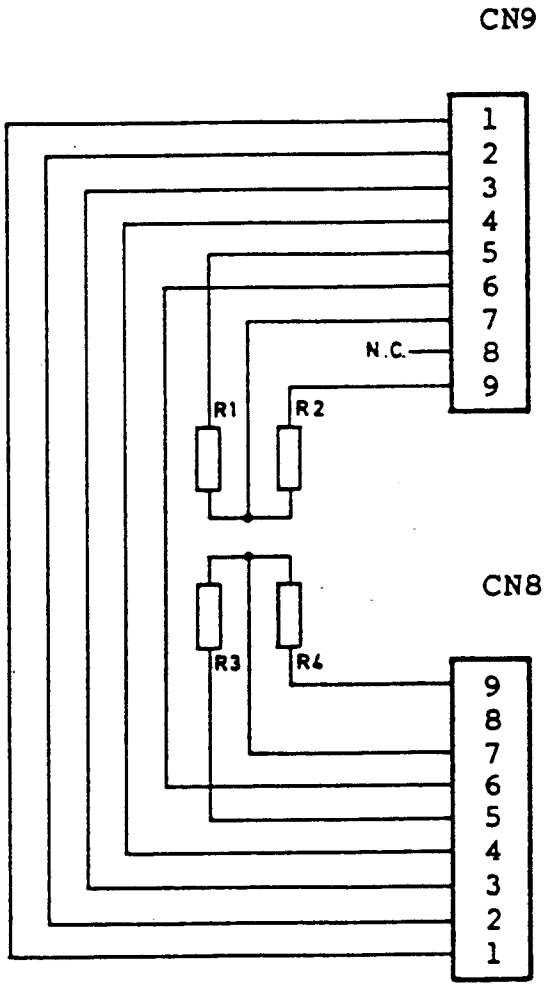
C64 Diagnostic

1. Keyboard - Stecker



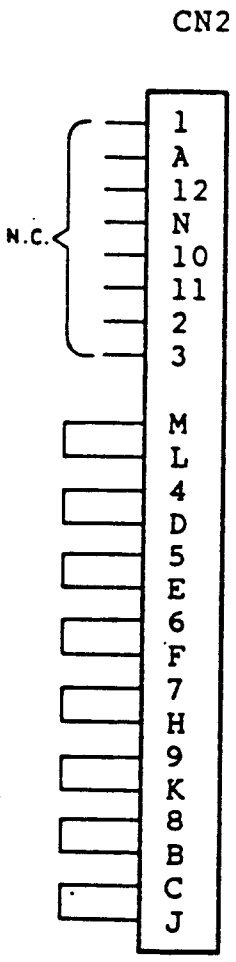
commodore

2. Control-Port 1+2 Stecker



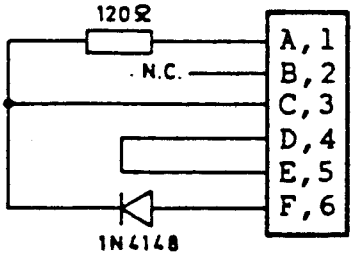
R1-R4 = 270k 1/8W ausgemessen

3. User-Port Stecker



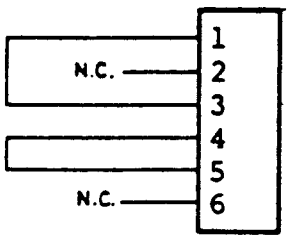
4. Cassetten-Port Stecker

CN3



5. Serial-Port Stecker

CN4



REVISIONS				
LTR	ECO #	DESCRIPTION	DATE	APPROVED
E	—	REDRAWN	7-12-82	
F	—	PER ECO 326-25 & 326-12	8-11-82	
G		PER ECO 326-14 & ECO 4256-20	9.24.82	
H		REV PER ECO 2893 & 2896	2/4/83	
J		REV PER ECO 2911	3/4/83	
K		REVISED PER ECO 830117	3/11/83	

SERIAL BUS (6-PIN FEMALE DIN) CN4

CONTROL PORT 2 (MALE DB9) CN3

CONTROL PORT 1 (MALE DB9) CN2

KEYBOARD (20-PIN MALE) CN1

USER PORT (24-PIN MALE EDGE) CN2

CASSETTE (6-PIN MALE EDGE) CN6

CARTRIDGE EXPANSION CN5

LED CONNECTOR CN10

POWER INPUT CN7 (7-PIN MALE DIN)

U7 6510A MPU

U1 6526 CIA (DC00-DCFF)

U2 6526 CIA (DD00-DDFF)

U28 4066

U31 74LS629N

U29 74LS74

U30 74LS193

U29 74LS74

U32 MC4044

U31 74LS629N

U20 556

U20 556

U27 74LS08

VR1 7812CT

VR2 7805

Y1 SEE NOTE 2 — 14.31818 MHz

DOT CLOCK 8.1818 MHz

PAL / NTSC JUMPER SELECT

NOTE:

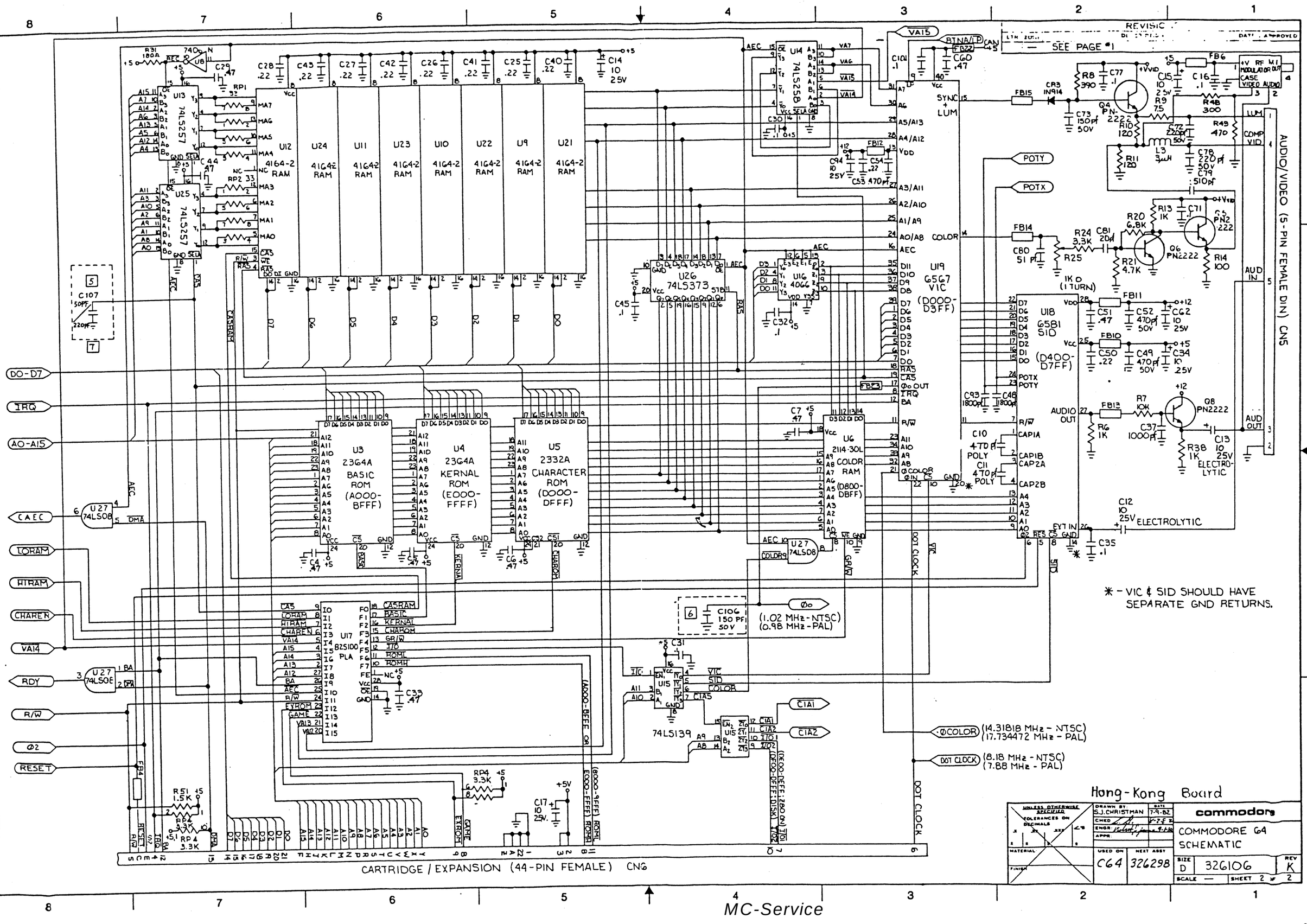
1. VC SHOULD BE USED TO DRIVE ONLY DEVICES INDICATED.
2. Y1=14.31818 MHZ -NTSC
   17.734472 MHZ- PAL
3. ALL RESISTORS ARE 1/4 WATT ±5% UNLESS OTHERWISE SPECIFIED.
4. ALL CAPACITOR VALUES ARE IN µF UNLESS OTHERWISE SPECIFIED.
5. CAP, 50 PF : ONLY WITH R4 OR R4T2 VERSIONS OF 6567.
6. SEE ECO NO. 2896 FOR INSTRUCTIONS ON USE OF C106.
7. CAP, 220 PF: ONLY WITH R1 VERSION OF 6569.

SHIELD GND.

Home Computer Record

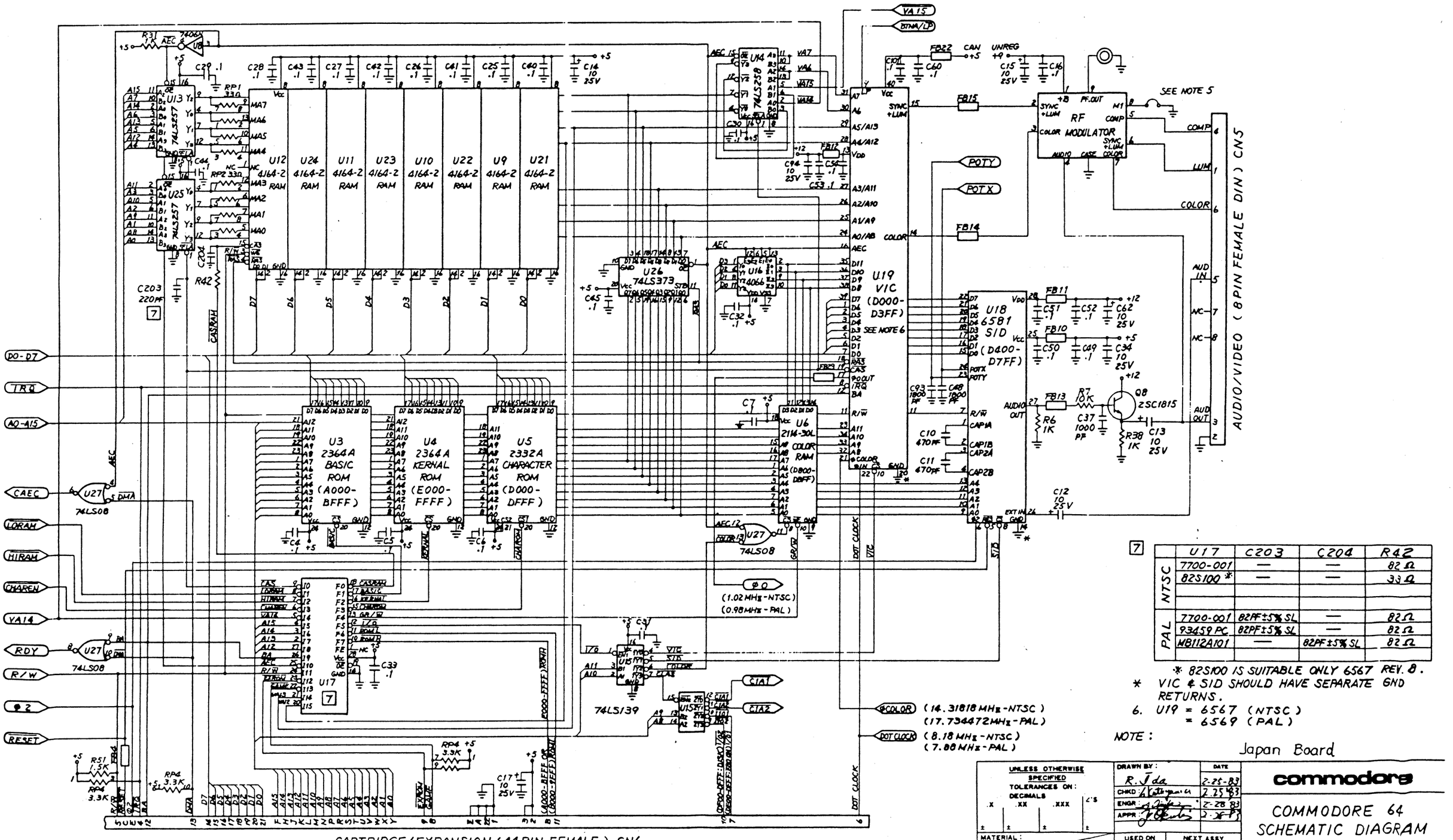
UNLESS OTHERWISE SPECIFIED: TOLERANCES ON DECIMALS .X ±.1 .XX ±.05 .XXX ±.010 ∠ ±1°	DRAWN BY S.J.CHRISTMAN	DATE 7-9-82	commodore
MATERIAL	CHKD	7-12-82	COMMODORE 64 SCHEMATIC
FINISH	ENGR	7-21-82	
	APPR	8-9-82	
	USED ON C64	NEXT ASSY 326298	SIZE D 326106 REV K
			SCALE — SHEET 1 OF 2

MC-Service


REVISIONS
SEE PAGE #1
U3 23G4A BASIC ROM (A000-BFFF)
U4 23G4A KERNAL ROM (E000-FFFF)
U5 2332A CHARACTER ROM (D000-DFFF)
U12 4164-2 RAM
U24 4164-2 RAM
U11 4164-2 RAM
U23 4164-2 RAM
U10 4164-2 RAM
U22 4164-2 RAM
U9 4164-2 RAM
U21 4164-2 RAM
U13 74LS257
U25 74LS257
U14 74LS258
U26 74LS373
U16 4066
U19 6567 VIC (D000-D3FF)
U18 6581 SID (D400-D7FF)
U6 2114-30L COLOR RAM (D800-DBFF)
U17 BZS100 PLA
U15 74LS139
U27 74LS08
U27 74LS08
U27 74LS08
SYNC + LUM
COLOR
AUDIO OUT
POTX
POTY
R/W
CAPIA
CAPIB
CAP2A
CAP2B
AEC
VA15
VA14
VA12
VA13
VA7
VA6
DOT CLOCK
SID
ΦCOLOR
ΦO
IRQ
BA
RAS
CAS
DO-D7
IRQ
AO-A15
CAEC
LORAM
HIRAM
CHAREN
VA14
RDY
R/W
Φ2
RESET
CASRAM
BASIC
KERNAL
CHAROM
GR/W
I/O
ROML
ROMH
GAME
EXROM
(A000-BFFF OR E000-FFFF) ROML
(D000-DFFF) I/O
(1.02 MHz - NTSC)
(0.98 MHz - PAL)
(14.31818 MHz - NTSC)
(17.734472 MHz - PAL)
(8.18 MHz - NTSC)
(7.88 MHz - PAL)
* - VIC & SID SHOULD HAVE SEPARATE GND RETURNS.
AUDIO/VIDEO (5-PIN FEMALE DIN) CN5
CARTRIDGE / EXPANSION (44-PIN FEMALE) CN6
Hong-Kong Board
commodore
COMMODORE 64 SCHEMATIC
C64
326298
326106
SIZE D
REV K
SCALE —
SHEET 2 OF 2

REVISIONS

LTR	ZONE	DESCRIPTION	DATE	APPROVED
A		PRODUCTION RELEASE	4/1/83	T. Hot, MGT.
B		REVISED PER ECO 830212	5/4/83	T. Hot



7

		U17	C203	C204	R42
NTSC		7700-001	—	—	82 Ω
		82S100 *	—	—	33 Ω
PAL		7700-001	82PF±5% SL	—	82 Ω
		93459 PC	82PF±5% SL	—	82 Ω
		MB112A101	—	82PF±5% SL	82 Ω

* 82S100 IS SUITABLE ONLY 6567 REV. 8.

* VIC & SID SHOULD HAVE SEPARATE GND RETURNS.

6. U19 = 6567 (NTSC)
   = 6569 (PAL)

NOTE : Japan Board

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X ±, .XX ±, .XXX ±, ANGLES ±

		DATE
DRAWN BY:	R. Jida	2-28-83
CHKD:		2-25-83
ENGR:		2-28-83
APPR:		2-28-83

MATERIAL: FINISH: USED ON C-64 NEXT ASSY

commodore

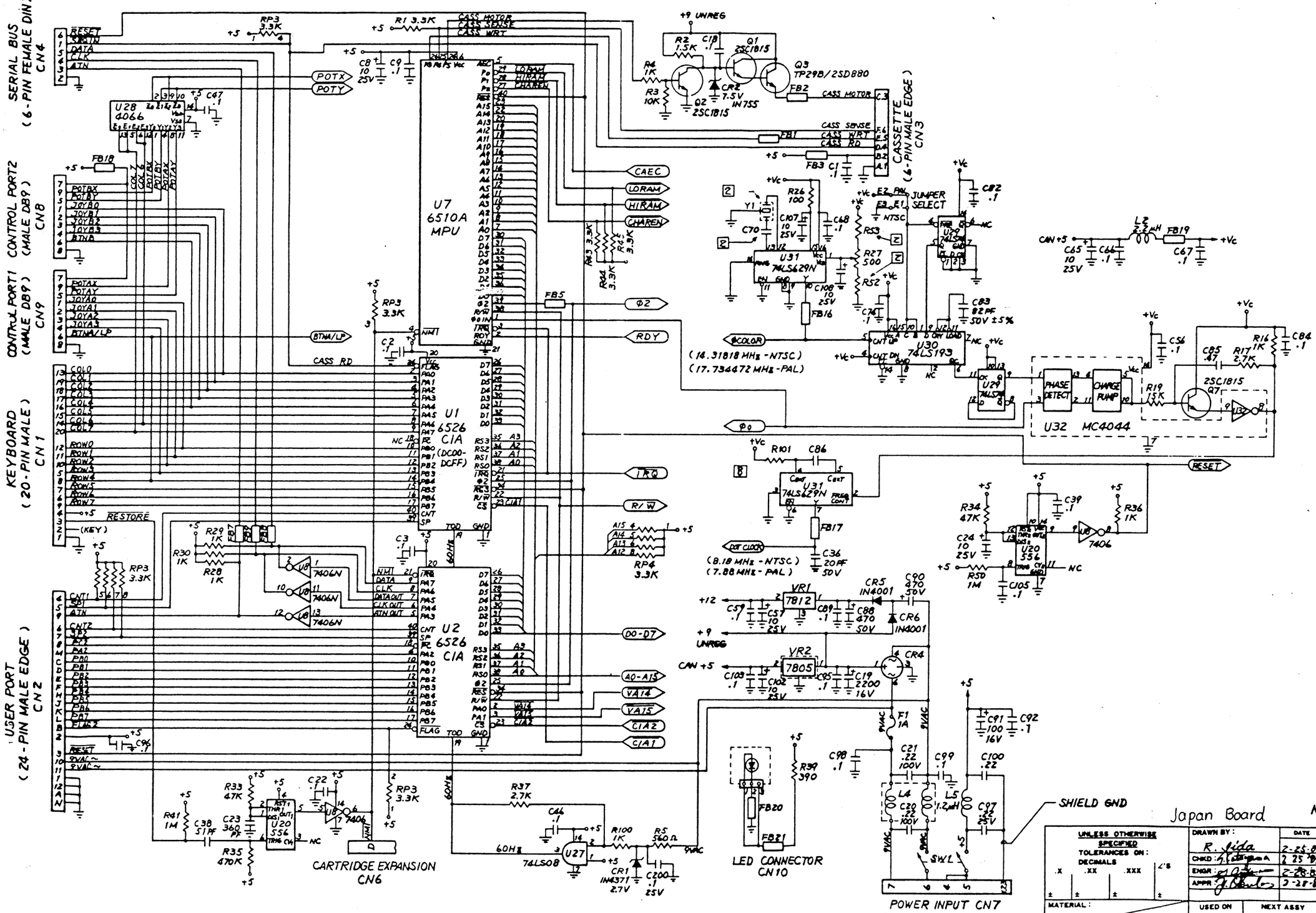
COMMODORE 64
SCHEMATIC DIAGRAM

SIZE		REV
C	251138	B

SCALE NONE | SHEET 1 OF 2

MC-Service

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		



8 FOLLOWING VALUE SHOULD BE USE.

U19	C86	R101
6567 REV5	68PF±5% SL	22KΩ
6567 REV8	82PF±5% SL	—
6569 REV1	68PF±5% SL	22KΩ

5. SOUND CARRER SELECT (PAL ONLY)
   SHORT 5.5 MHz FOR G.PAL
   OPEN 6 MHz FOR I.PAL
4. ALL CAPACITOR VALUES ARE IN μF.
3. ALL RESISTORS ARE 1/4 WATT ±5%.

2 CLOCK CIRCUIT:

ITEM	NTSC	PAL
Y1	14.31818 MHz	17.734472 MHz
C70	15PF ±5% N2200	15PF ±5% N3300
R52	680Ω	330Ω
R53	910Ω	100Ω

1. VC SHOULD BE USED TO DRIVE ONLY DEVICES INDICATED.

NOTES-UNLESS OTHERWISE SPECIFIED:

Japan Board

MC-Service

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X ±, .XX ±, .XXX ±, ANGLES ±	DRAWN BY: R. Ida	DATE: 2-25-83
	CHKD:	2-25-83
	ENGR:	2-28-83
	APPR:	3-28-83
MATERIAL:	USED ON: C-64	NEXT ASSY
FINISH:		

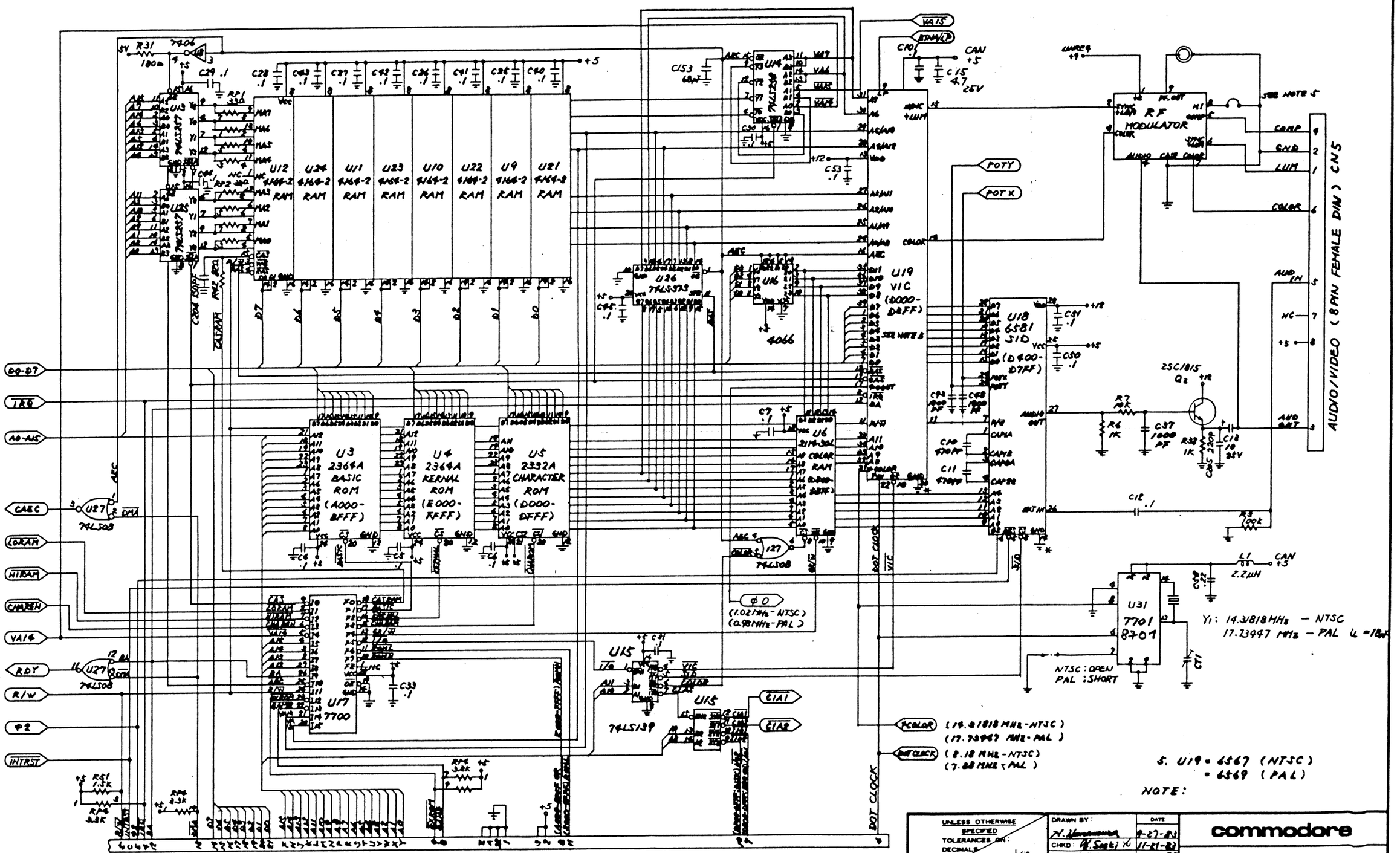
commodore

COMMODORE 64
SCHEMATIC DIAGRAM

SIZE	251138	REV
C		B

SCALE NONE | SHEET 2 OF 2

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
A		PRODUCTION RELEASE	5-7-84	N. Kate



MC-Service

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X ±, .XX ±, .XXX ±, ∠'S ±	DRAWN BY: N. Hansen	DATE: 9-27-83	commodore
	CHKD: M. Sagal	11-21-83	SCHEMATIC DIAGRAM, C-64B
	ENGR: S. Castagna	11-21-83	
	APPR: [illegible]	2-24-84	
MATERIAL:	USED ON: C-64B	NEXT ASSY: 250425	SIZE C — 251469 — REV A
FINISH:			SCALE NONE — SHEET 1 OF 2

THIRD ANGLE SYSTEM DIMENSION: mm

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		

SERIAL BUS ___ (6-PIN FEMALE DIN) CN4

CONTROL PORT2 ___ (MALE DB9) CN8

CONTROL PORT1 ___ (MALE DB9) CN9

KEYBOARD ___ (20-PIN MALE) CN1

USER PORT ___ (24-PIN MALE EDGE) CN2

CASSETTE (6-PIN MALE EDGE) CN3

CARTRIDGE EXPANSION CN6

LED CONNECTOR CN10

POWER INPUT CN7 (7PIN MALE DIN)

Q1 2SD880/TIP29B

2SC1815 Q2, Q3

U1 6526 CIA (DC00 -DCFF)

U2 6526 CIA (DB00 -DDFF)

U7 6510CBM MPU

U20 556

U28 4066

7406

7805

7812

1N4001

2.2K 1/2W

9V

4. SOUND CARRER SELECT (PAL ONLY)
   SHORT 5.5 MHz FOR G.PAL
   OPEN 6 MHz FOR I.PAL

3. ALL CAPACITOR VALUES ARE IN uF.

2. ALL RESISTORS ARE 1/4 WATT ±5%.

1. VC SHOULD BE USED TO DRIVE ONLY DEVICES INDECATED.

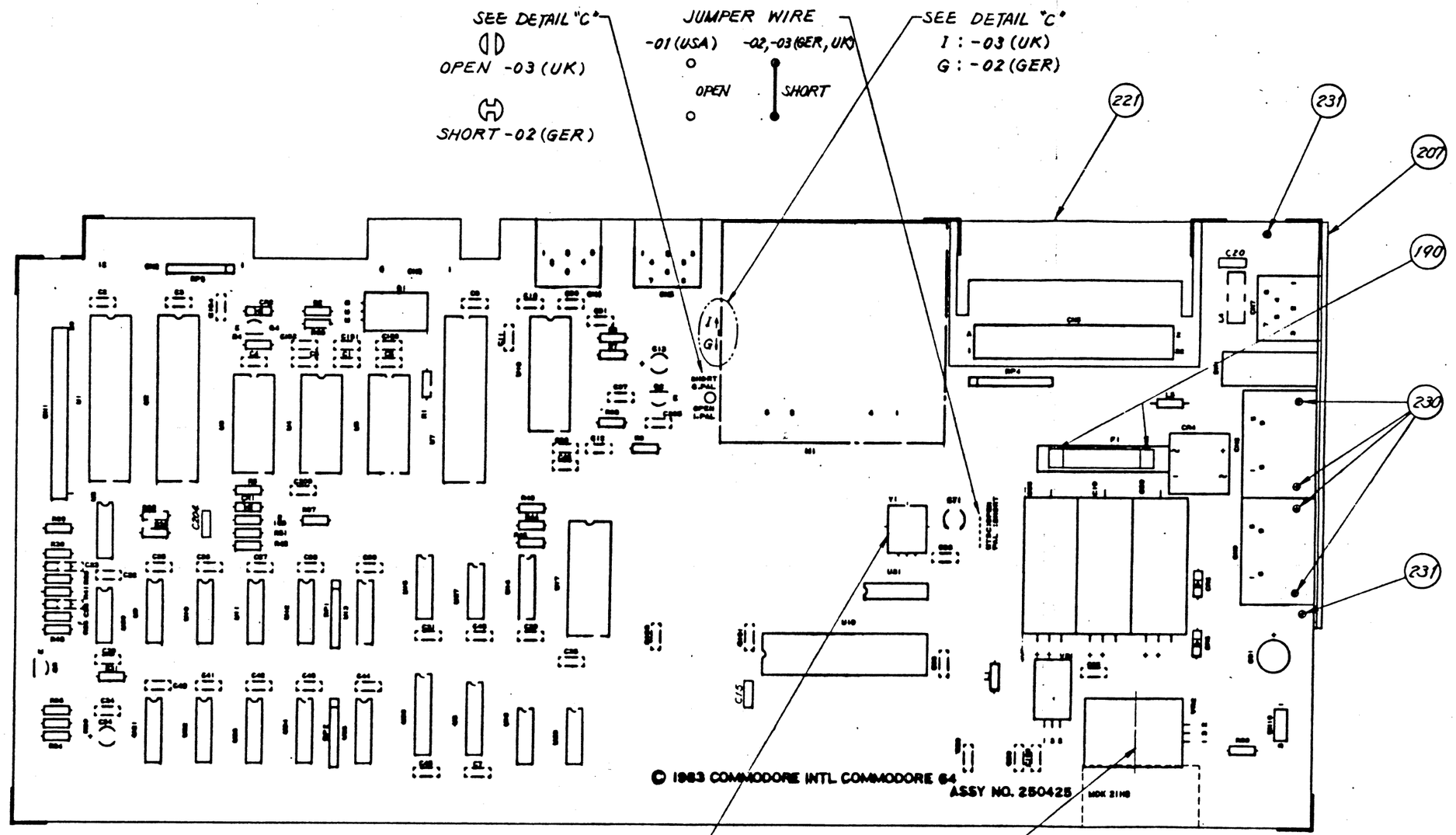
NOTES - UNLESS OTHERWISE SPECIFIED:

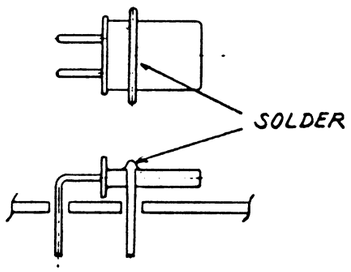
UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS X XX XXX ANGLES ±	DRAWN BY: N. Adamowicz	DATE 8-27-83	commodore
	CHKD: G. Smith	11-21-83	SCHEMATIC DIAGRAM, C-64B
	ENGR: S. Thomas	11-21-83	
	APPR:		SIZE C — 251469 — REV A
MATERIAL:	USED ON	NEXT ASSY	SCALE NONE — SHEET 2 OF 2
FINISH:			

THIRD ANGLE SYSTEM. DIMENSION: mm

MC-Service

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		





DETAIL "A"

SOUND CARRIER SELECT	MODULATOR				
	NTSC	PAL			
		P/N 251025-01		P/N 251697-01	
		-02 (GER)	-03 (UK)	-02 (GER)	-03 (UK)
JUMPER	DON'T CARE	OPEN	SHORT	DON'T CARE	DON'T CARE
SWITCH	DON'T CARE	DON'T CARE	DON'T CARE	G POSITION	I POSITION

DETAIL "C" SOUND CARRIER SELECT

[2] TO FIX HEATSINK TO VOLTAGE REGULATOR SCREW M3×10 AND NUT HEXAGON M3 ARE USED. EYELET CAN SUBSTITUTE.

MC-Service

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS X ±, XX ±, XXX ±, ANGLES ±°	DRAWN BY: R. Iida	DATE 1-17-84	commodore
	CHKD: M Suki	2-2-84	PCB ASSY, C-64B
	ENGR: Shetgaard	2 27 84	
	APPR:		
MATERIAL:	USED ON	NEXT ASSY	SIZE C 250425 REV G
FINISH:	C-64B	250703	SCALE NONE SHEET 9 OF 9

THIRD ANGLE SYSTEM DIMENSION: mm

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
1		ADVANCE ENGINEERING RELEASE	2/13/86	
2		PILOT PRODUCTION RELEASE	6/2/86	
3		REVISED PER ECO 860691	1/14/87	

CASSETTE (6PIN MALE EDGE) CN3

SERIAL BUS (6PIN FEMALE DIN) CN4

KEY BOARD (20PIN MALE) CN1

CONTROL PORT 2 (MALE DB9) CN8

CONTROL PORT 1 (MALE DB9) CN9

USER PORT (24 PIN MALE EDGE) CN2

POWER INPUT CN7 (7 PIN MALE)

LED CONNECTOR CN10

AUDIO/VIDEO (8PIN FEMALE DIN) CN5

CARTRIDGE/EXPANSION (44PIN FEMALE) CN6

U18 4066

U11 50464-150

U10 50464-150

U4 23128B KERNAL & BASIC ROM (E000-FFFF & A000-BFFF)

U5 7332C CHARACTER ROM (D000-DFFF)

U7 VIC (D000-D3FF)

U8 SID (D400-D7FF)

U9 6526 CIA (DD00-DFFF)

U1 6526 CIA (DC00-DCFF)

U6 MPU

U20 8701

U21 4066

U22 7406

U23 74LS19

U3 74LS08

C70,71 : 22000pF FOR 8580
470pF FOR 6581
C80,81 : 2200pF FOR 8580
1800pF FOR 6581

[8] R8 RESISTOR SHOULD BE REMOVE FOR 8580 SID.

[7] FRANCE VERSION
R2 ; 20Ω RESISTOR & C63 ; 2200μf CAPACITOR REQUIRED.

[6] POWER SUPPLY
6581 SID VERSION :
CR7 - 12.6V SHOULD BE USED
8580 SID VERSION :
CR7 - 9.6V SHOULD BE USED

[5] JUMPER CONECTION J3 OPEN : NTSC
J3 SHORT : PAL

[4] DOT CLOCK : 8.18 MHz FOR NTSC
7.88 MHz FOR PAL

[3] Y1 : 14.31818 MHz FOR NTSC CL = 18P
17.73447 MHz FOR PAL CL = 18P

2. ALL CAPACITOR VALUES ARE IN μF.

1. ALL RESISTORS ARE 1/4 WATT ±5%.

NOTES - UNLESS OTHERWISE SPECIFIED :

commodore

SCHEMATIC DIAGRAM, C-64BK/E

SIZE		REV
D	252312	3

MATERIAL	USED ON	NEXT ASSY
FINISH	C-64BN/E	250469

MC-Service

USER PORT
(24-PIN MALE EDGE)
CN2

KEYBOARD
(20-PIN MALE)
CN1

CONTROL PORT1
(MALE DB9)
CN9

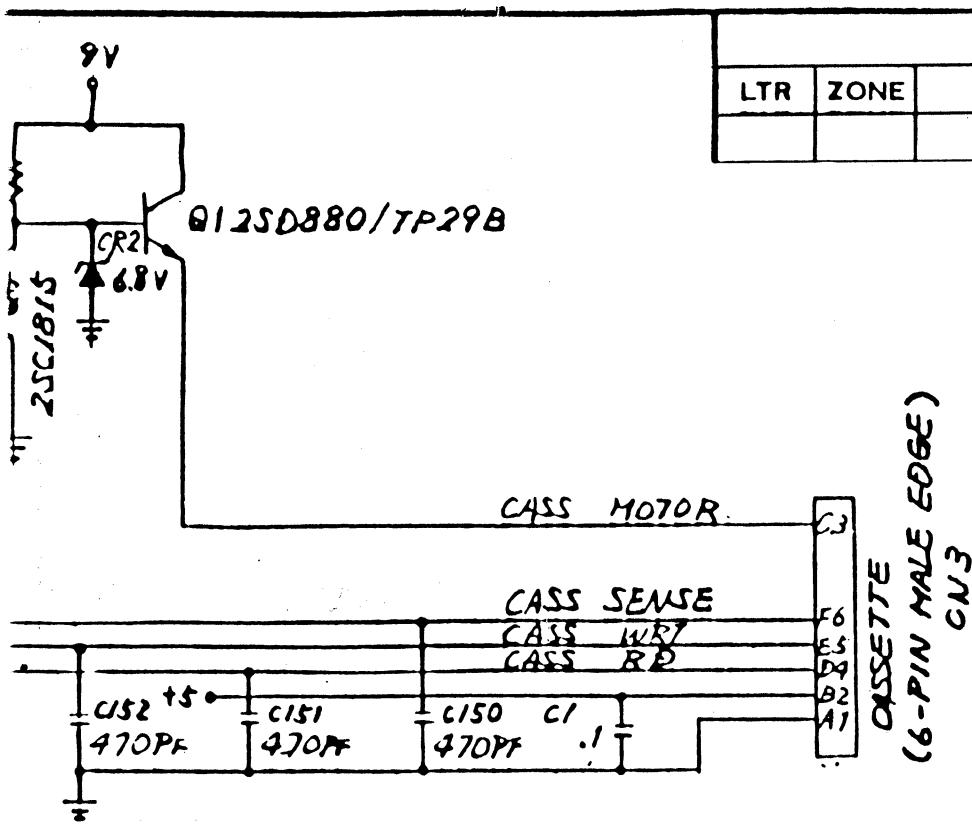
CONTROL PORT2
(MALE DB9)
CN8

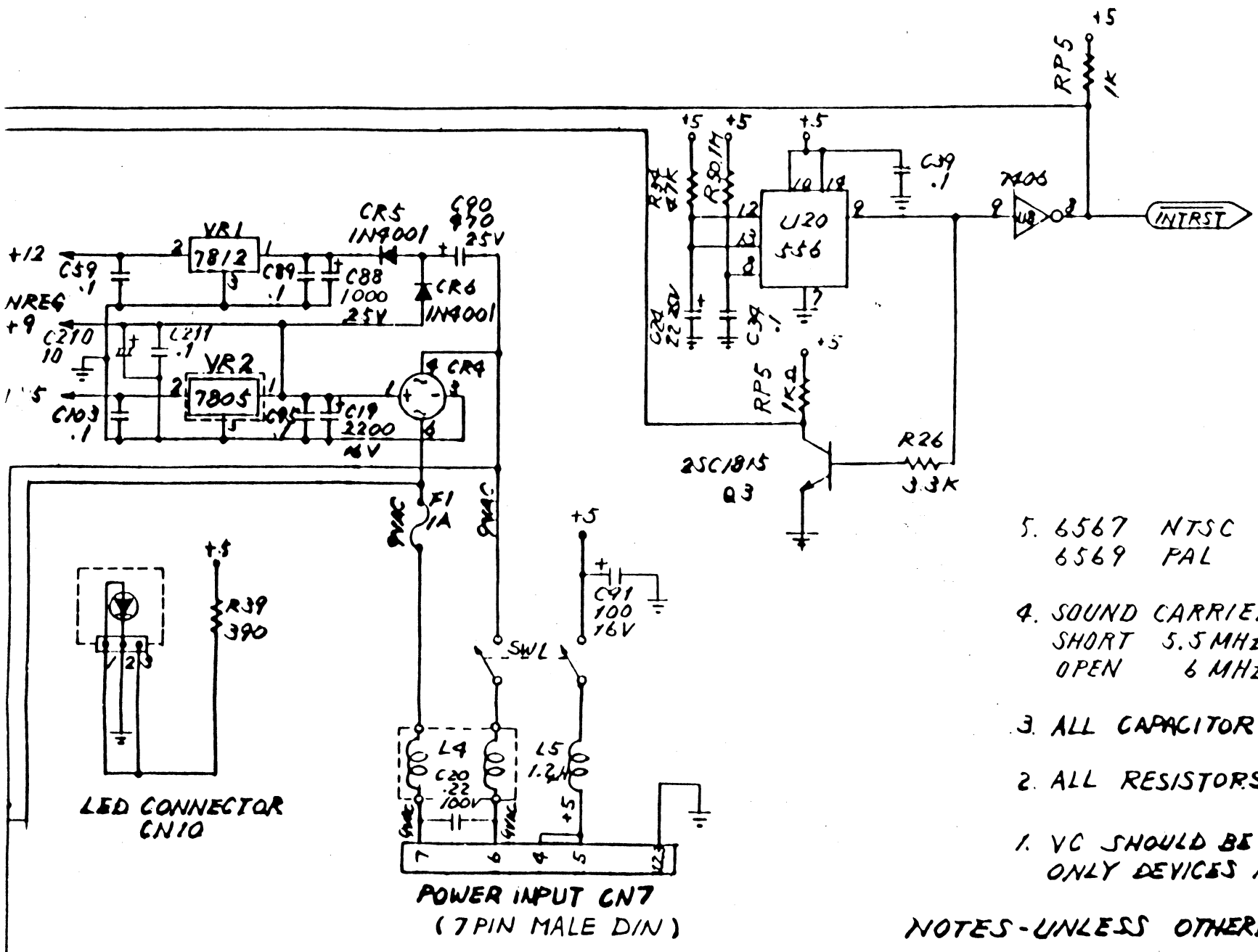
SERIAL BUS
(6-PIN FEMALE DIN)
CN4

CARTRIDGE EXPANSION
CN6

MC-Service

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
		SEE SHEET 1		





5. 6567 NTSC
   6569 PAL

4. SOUND CARRIER SELECT (PAL OPEN)
   SHORT 5.5 MHz FOR G. PAL
   OPEN 6 MHz FOR I. PAL

3. ALL CAPACITOR VALUES ARE IN μF.

2. ALL RESISTORS ARE 1/4 WATT ±5%.

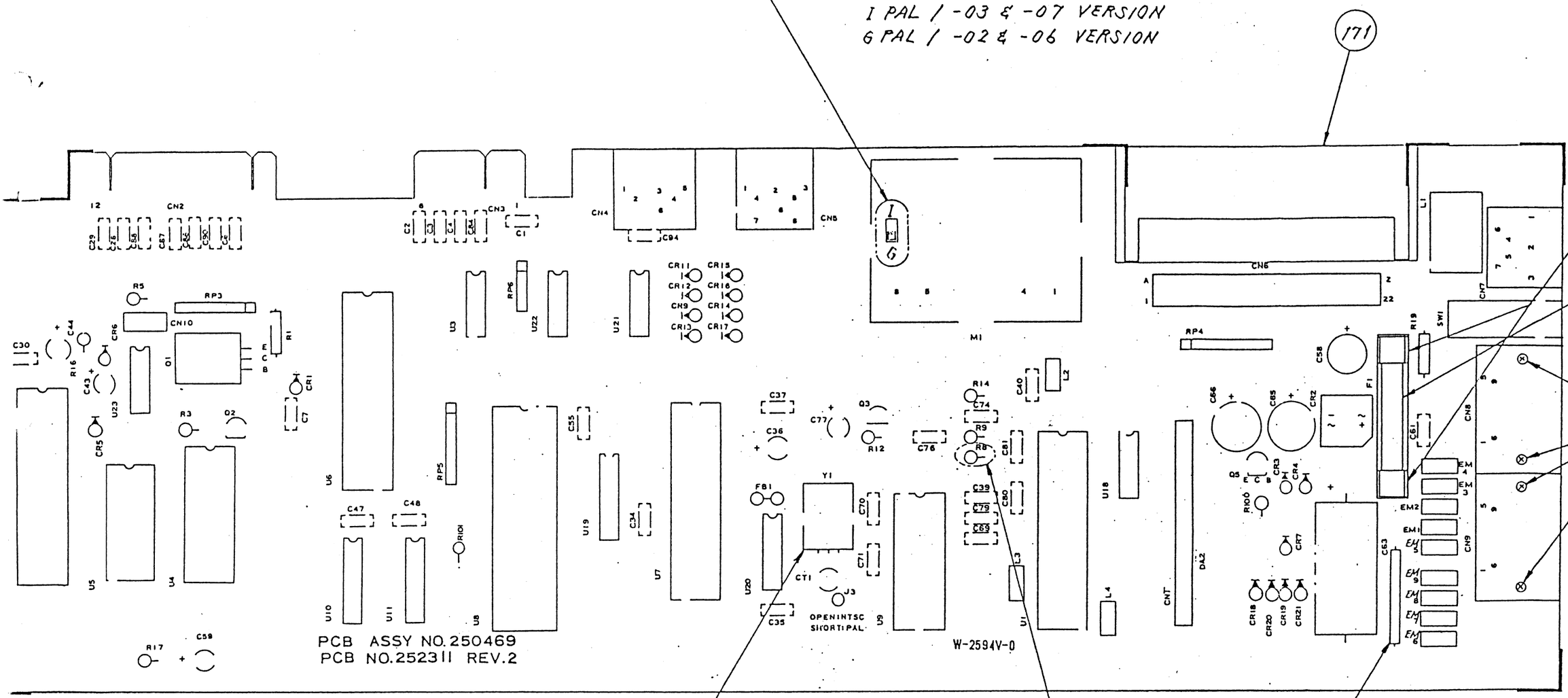
1. VC SHOULD BE USED TO DRIVE ONLY DEVICES INDECATED.

NOTES - UNLESS OTHERWISE SPECIFIED:

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X .XX .XXX ∠'S	DRAWN BY: M. Jakeda	DATE 11/20/85	commodore
	CHKD: A. Mitsuda	11/20/85	SCHEMATIC DIAGRAM C-64B3
	ENGR: K. Katsuma	11/20/85	
	APPR: H. Yoshimura	1/20/86	
MATERIAL:	USED ON	NEXT ASSY	SIZE C | 252278 | REV 1
FINISH:			SCALE NONE | SHEET 2 OF 2

THIRD ANGLE SYSTEM DIMENSION

SOUND CARRIER SELECT SW/ PAL VERSION ONLY
I PAL / -03 & -07 VERSION
G PAL / -02 & -06 VERSION



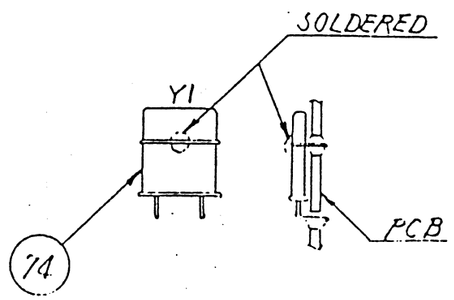
PCB ASSY NO. 250469
PCB NO. 252311 REV. 2

W-2594V-0

SEE DETAIL A

R2 : FOR -04 & -08 VERSION

NOT REQUIRED FOR -01 THRU -04 VERSION

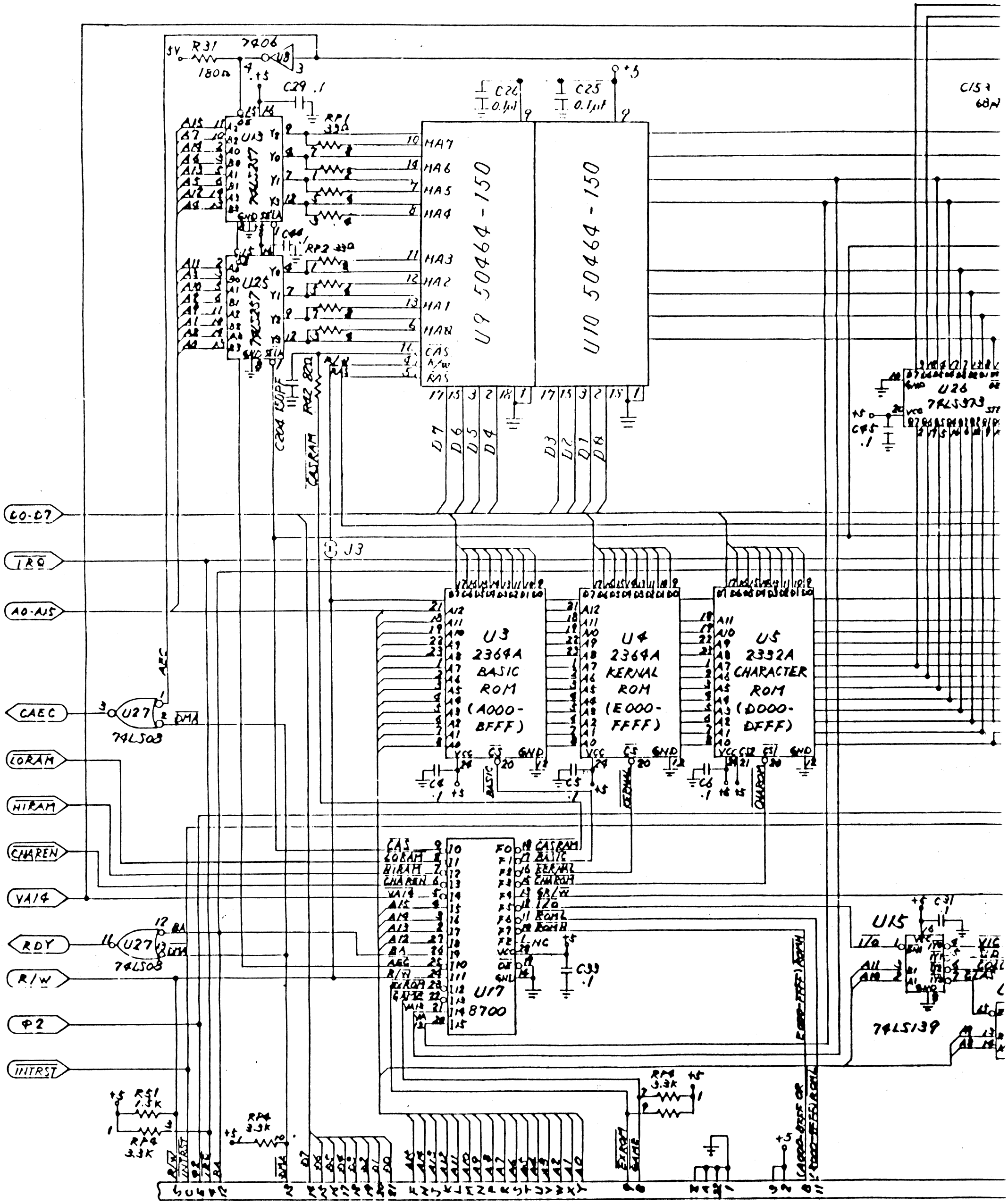


DETAIL A

MC-Service

UNLESS OTHERWISE SPECIFIED TOLERANCES ON: DECIMALS .X ± .XX ± .XXX ± ∠'S ±	DRAWN BY: R. Ida	DATE: 6-4-86	commodore
	CHKD: S Kato-jitsong	6-5-86	PCB ASSY, C-64BN/E
	ENGR: S Kato-jitsong	6-5-86	
	APPR:		
MATERIAL:	USED ON: C-64BN/E	NEXT ASSY: 250786	SIZE C — 250469 — REV 2
FINISH:			SCALE NONE — SHEET 7 OF 7

THIRD ANGLE SYSTEM DIMENSION: mm


5V
R31
180n
74LS06
U8
C29 .1
RP1 330
RP2 330
U13
U25
74LS257
C24 150PF
R42 82
CASRAM
C26 0.1μf
C25 0.1μf
U9 50464-150
U10 50464-150
MA7
MA6
MA5
MA4
MA3
MA2
MA1
MA0
CAS
R/W
RAS
D7
D6
D5
D4
D3
D2
D1
D0
U26
74LS373
C45 .1
J3
U3
2364A
BASIC
ROM
(A000-
BFFF)
U4
2364A
KERNAL
ROM
(E000-
FFFF)
U5
2332A
CHARACTER
ROM
(D000-
DFFF)
C4 .1
C5 .1
C6 .1
BASIC
KERNAL
CHAROM
U17
8700
C33 .1
U15
74LS139
C31 .1
RP4 3.3k
RP5 1.3k
RP6 3.3k
RP7 3.3k
EXROM
GAME
CASRAM
BASIC
KERNAL
CHAROM
I/O
ROML
ROMH
GR/W
I/O
NC
D0-D7
IRQ
A0-A15
CAEC
U27
74LS08
AEC
DMA
CORAM
HIRAM
CHAREN
VA14
RDY
R/W
Φ2
INITRST
CARTRIDGE/EXPANSION (44 PIN FEMALE) CN6

REVISIONS				
LTR	ZONE	DESCRIPTION	DATE	APPROVED
1		PRELIMINARY RELEASE	2 FEB 84	C. Kataoka

VA15
BTNA/LP
C10 .1
CAN +5
C15 47 25V
UNREG +9-
J1
SEE NOTE 5
RF MODULATOR
VIDEO OUT
SYNC +LUM
COLOR
AUDIO
CASS COLOR
COMP
GND
LUM
COLOR
AUD IN
NC
+5
AUDIO/VIDEO (8 PIN FEMALE DIN) CNS
POTY
POTX
U19 6567/6569 VIC (D000-D3FF)
SEE NOTE 6
U18 6581 SID (D400-D7FF)
C51 .1
C50 .1
2SC1815 Q2
R7 10K
R6 1K
C37 1000 PF
R38 1K
C38 220P
C13 10 25V
AUDIO OUT
EXT IN
C12 .1
3 30K
U6 2114-30L COLOR RAM (D800-DBFF)
C7 .1
C9 1000 PF
C8 1000 PF
C10 470 PF
C11 470PF
U4 4066
U5 74LS08
U3 8701
L1 2.2uH
C39 .22
J2
NTSC: OPEN
Y1: 14.31818 MHz - NTSC CL=18pF
17.73447 MHz - PAL CL=18pF
C1
Φ0 (1.02 MHz - NTSC, 0.98 MHz PAL)
XLG
LUM
COLOR
U15
CIA1
CIA2
FCOLOR (18.31818 MHz - NTSC, 17.73447 MHz - PAL)
DOTCLOCK (8.18 MHz - NTSC, 7.86 MHz - PAL)
DOT CLOCK

MC-Service

UNLESS OTHERWISE SPECIFIED TOLERANCES ON DECIMALS
X ± XX ± XXX ± ANGLES ±
MATERIAL:
FINISH:

DRAWN BY	DATE
M. Iwanaka	11/22/83
CHKD: K. Nakaya	11/22/83
ENGR: T. Katayama	11/28/83
APPR: D. Yoshimura	12/2/83

USED ON: C-64B
NEXT ASSY:

commodore

SCHEMATIC DIAGRAM
C-64B3

SIZE		REV
C	252278	1
SCALE NONE	SHEET 1 OF 2	

PART NO.	DESCRIPTION	
250425 -01	PCB ASSY, C-64B	USA
-02		GER
250425 -03	PCB ASSY, C-64B	UK

REVISIONS

LTR	ZONE	DESCRIPTION	DATE	APPROVED
A		PRODUCTION RELEASE	5-4-84	N. Kato
B		REVISED PER ECO 840125	5-15-84	Y. [illegible]
C		REVISED PER ECO 840134	5-18-84	Y. [illegible]
D		REVISED PER ECO 840147	6-6-84	N. Kato
E		REVISED PER ECO 840151	6-18-84	N Kato
F		REVISED PER ECO 840169	6-26-84	N. Kato
G		REVISED PER ECO 840207	7-18-84	K. Nemba

1. SHEET 9 OF 9 SIZE C

ASSY DWG

NOTES-UNLESS OTHERWISE SPECIFIED:

commodore	TITLE: PCB ASSY, C-64B	DRAWN BY: N. Hanamura	DATE: 11-1-83	ENGR: S. Katayama	DATE: 11-23-83	SIZE: B	DRAWING NUMBER: 250425
		CHKD: Y. Sato, TN.	DATE: 11-21-83	APPR:			SHEET 1 OF 9

E11 500-0307

QUANTITY REQD PER PART/DASH NO. 03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
			1						
REF	REF	REF	2	C	251469-01	SCHEMATIC DIAGRAM, C-64B			
			3						
			4						
1	1	1	5	C	251470-01	PCB, C-64B			
			6						
1	1	1	7	B	906107-01	1 C, 6510	U7		
2	2	2	8	|	906108-01	6526	U1, U2		
-	-	1	9	|	906109-01	6567	U19		NTSC REV 8
1	1	-	10	|	906111-01	6569	U19		PAL REV 3
1	1	1	11	|	906112-01	6581	U18		
1	1	1	12	|	901453-01	2114L-30	U6		
8	8	8	13	|	901505-01	4164 (200NSEC)	U9,10,11		12,21,22,23,24
1	1	1	14	|	901226-01	2364 ROM BASIC US, PAL	U3		(2364B-161)
1	1	1	15	|	901227-03	2364 ROM KERNAL US, PAL	U4		(2364B-273)
1	1	1	16	|	901225-01	2332 ROM CHAR US, PAL	U5		(2332C-250)
S	S	S	17	|	901505-02	4164-15 (150 NSEC)			SUBSTITUTE FOR ITEM 12
S	S	S	18	|	901505-03	4164-12 (120 NSEC)			
1	1	1	19	|	901523-03	NE 556N	U20		
2	2	2	20	|	901502-01	4066	U16, 28		
2	2	2	21	|	901521-57	74LS257	U13, 25		
1	1	1	22	|	901521-29	74LS373	U26		
1	1	1	23	|	901521-18	74LS139	U15		
1	1	1	24	|	901521-03	74LS08	U27		
1	1	1	25	|	901521-58	74LS258	U14		
1	1	1	26	|	901522-06	7406	U8		
1	1	1	27	|	906114-01	7700-001	U17		
S	S	S	28	|	901453-07	2114 (200 NSEC)	U6		SUBSTITUTE FOR ITEM 12
-	-	1	29	|	251527-01	7701	U31		REV 2, DO NOT USE PAL VERSION
S	S	S	30	|	251749-01	7707	U8		SUBSTITUTE FOR ITEM 26
S	S	S	31	|	901522-14	7416	U8		SUBSTITUTE FOR ITEM 26
1	1	S	32	|	251527-02	8701	U31		USE PAL VERSION & SUBSTITUTE FOR ITEM 29
S	S	S	33	|	251749-03	7711	U15		SUBSTITUTE FOR ITEM 23
S	S	S	34	|	-04	7712	U27		24
S	S	S	35	|	251749-05	7708	U13, U25		21
S	S	S	36	|	901453-08	5114-2 RAM STATIC, CMOS	U6		12
S	S	S	37	|	-09	2114-15 RAM STATIC	U6		12
S	S	S	38	B	901453-10	1 C, 2114-12 RAM STATIC	U6		SUBSTITUTE FOR ITEM 12

Commodore	TITLE: PCB ASS'Y, C-64B	DRAWN BY: N. Hanan	DATE: 11-1-83	ENGR: S. Katagana	DATE: 11-23-83	SIZE: B	DRAWING NUMBER: 250425	REV: G
		CHKD: [illegible]	11-21-83	APPR:			SHEET 2 OF 9	

QUANTITY REQD PER PART/DASH NO. 03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
37	37	37	40	B	251075-06	CAPACITOR, CERAMIC Ⓡ 0.1μF 25V +80 -20 %	C1-7,9,22,12,25-31,33,34,39-46,50,51,53,59,89,95,101,103,200		
S	S	S	41		251069-03	CERAMIC Ⓡ 390pF 50V 10% B	C23		SUBSTITUTE FOR ITEM 42
1	1	1	42		251078-51	Ⓐ 360pF	C23		
6	6	6	43		251069-04	CERAMIC Ⓡ 470pF 50V	C10,11,150-152,154		
1	1	1	44		251069-08	Ⓡ 1000pF 50V	C37,		
2	2	2	45		251069-11	CERAMIC Ⓡ 1800pF 50V 10% B	C48,93		
1	1	1	46		900100-01	ELECT Ⓡ 10μF 25V -10 +50 %	C13		
1	1	1	47		900100-40	Ⓡ 100μF 16V -10 +50 %	C91		
1	1	1	48		900101-49	Ⓐ 470μF 25V	C90		
1	1	1	49		900101-33	ELECT Ⓐ 2200μF 16V	C19		
S	S	S	50		900303-02	CERAMIC Ⓡ 0.1μF 12V 20%	C1-7,9,12,22,25-31,33,34,39-46,50,59,101,103,200		
S	S	S	51		251079-16	ELECT Ⓡ 10μF 25V 20%			SUBSTITUTE FOR ITEM 46
1	1	1	52		900150-11	FILM Ⓡ 0.22μF 100V 20%	C20		
1	1	1	53		251078-24	Ⓐ 51pF 5% SL	C38		
1	1	1	54		251072-26	CERAMIC Ⓡ 220pF 50V 5% SL	C205		
1	1	1	55		900010-51	CERAMIC Ⓡ 68pF 50V 5%	C153		
1	1	1	56		900101-50	ELECT Ⓐ 1000μF 25V	C88		
1	1	1	57		900410-13	TANTAL Ⓡ 4.7μF 16V 20%	C15		TANTALUM
1	1	1	58		251075-07	CERAMIC Ⓡ 0.22μF 25V +80 -20 %	C58		
1	1	1	59		900100-24	ELECT Ⓡ 22μF 25V	C24		
S	S	S	60		251072-19	CERAMIC Ⓡ 56pF 50V 5% SL	C38		SUBSTITUTE FOR ITEM 53
1	1	1	61	B	251071-24	CAPACITOR, CERAMIC Ⓡ 150pF 50V 10% SL	C204		
			62						
1	1	1	63	B	251029-02	CAPACITOR, TRIMMER 40 PF	CT-1		
			64						
			65						
			66						
			67						
1	1	1	68	B	901151-17	COIL INDUCTOR 2.2μH	L1		
1	1	1	69	B	325570-01	COIL INDUCTOR 1.2μH	L5		
			70						
			71						
			72						
			73						
1	1	1	74	B	251701-01	LINE FILTER	L4		
			75						
			76						

commodore

TITLE: PCB ASSY, C64B

DRAWN BY	DATE	ENGR	DATE	SIZE	DRAWING NUMBER	REV
N. Hanamura	11-1-83	S. Katayama	11-23-83	B	250425	G
CHKD: G. Saki; YN.	11-21-83	APPR:			SHEET 3 OF 9	

MC-Service

QUANTITY REQD PER PART/DASH NO. 03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
-	-	1	77	B	251467-01	CRYSTAL 14.31818 MHz	Y1		CL = 18PF
1	1	-	78	|	251468-01	CRYSTAL 17.73447 MHz	Y1		CL = 18pF
1	1	1	79	B	200018-13	JUMPER WIRE L = 12.5 MM			USE ON Y1 FOR ITEM 77 AND 78.
			80						
			81						
			82						
			83						
			84						
2	2	2	85	B	900750-01	DIODE, RECTIFIER IN4001	CR5, 6		
			86						
			87						
			88						
			89						
			90						
			91						
1	1	1	92	B	906103-02	DIODE, ZENER IN4371	CR1		2.7 V
1	1	1	93	|	900927-01	RD 6.8EB	CR2		6.8 V
S	S	S	94	|	251286-04	HZ3B-1, HZ3ⒽB-1	CR1		} SUBSTITUTE FOR ITEM 92 2.7V
S	S	S	95	|	-05	HZ3B-2, HZ3ⒽB-2	CR1		
S	S	S	96	B	251286-06	DIODE, ZENER HZ3B-3, HZ3ⒽB-3	CR1		
			97						
S	S	S	98	B	900927-02	DIODE, ZENER IN754A	CR2		SUBSTITUTE FOR ITEM 93 6.8V
S	S	S	99	|	906103-03	RD 2.7EB2	CR1		} SUBSTITUTE FOR ITEM 92 2.7V
S	S	S	100	|	-04	RD 3.0EB1	CR1		
S	S	S	101	B	906103-05	DIODE, ZENER RD 3.0EB2	CR1		
			102						
1	1	1	103	B	251026-01	DIODE, BRIDGE S2VB10	CR4		
S	S	S	104	|	-02	DBA20B	CR4		} SUBSTITUTE FOR ITEM 103
S	S	S	105	B	251026-03	DIODE, BRIDGE DBA20C	CR4		
			106						
			107						
			108						
			109						
			110						
			111						
			112						
			113						
			114						

Commodore

TITLE: PCB ASS'Y, C64B

DRAWN BY:	DATE	ENGR:	DATE	SIZE	DRAWING NUMBER	REV
N. Hamamura	11-1-83	S. Katayama	11-23-83	B	250425	6
CHKD: [illegible] Y.M.	11-21-83	APPR:			SHEET 5 OF 9	

QUANTITY REQD PER PART/DASH NO. 03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
1	1	1	115	B	901550-49	RESISTOR, CARBON 100Ω 1/4W 5%	R60		
2	2	2	116		-84	1MΩ	R41,50		
1	1	1	117		-57	390Ω	R39		
9	9	9	118		-01	1KΩ	R4,6,28-30,36,38,48,100		
1	1	1	119		-69	1.5KΩ	R51		
5	5	5	120		-02	3.3KΩ	R1,26,43-45		
1	1	1	121		-20	10KΩ	R7		
2	2	2	122		-22	47KΩ	R33,34		
1	1	1	123		-74	82Ω	R42		
1	1	1	124		-23	2.7KΩ	R37		
1	1	1	125		-100	180Ω	R31		
1	1	1	126		901550-82	RESISTOR, CARBON 470KΩ 1/4W 5%	R35		
1	1	1	127		902410-06	RESISTOR PACK 3.3KΩ 10 PIN	RP4		9EL
1	1	1	128		902442-29	3.3KΩ 8 PIN	RP3		7EL
2	2	2	129		902422-03	RESISTOR PACK 33Ω 8 PIN	RP1,2		4EL
1	1	1	130		901600-38	RESISTOR, CARBON 470Ω 1/2W 5%	R2		
1	1	1	131		901550-30	560Ω 1/4W 5%	R5		
1	1	1	132	B	901550-07	RESISTOR, CARBON 100KΩ 1/4W 5%	R3		
			133						
			134						
			135						
			136						
1	1	1	137	B	902694-01	TRANSISTOR 2SD 880	Q1		
5	5	5	138		902653-01	TIP 29A	Q1		SUBSTITUTE FOR ITEM 137
3	3	3	139		902693-01	2SC 1815	Q2,3,4		
5	5	5	140		902694-02	2SD 476 (K) C	Q1		SUBSTITUTE FOR ITEM 137
5	5	5	141		902694-03	2SD 313 E/F	Q1		137
5	5	5	142		902671-01	2SC 945	Q2,3,4		139
5	5	5	143		251294-01	2SD 1310	Q1		137
5	5	5	144	B	251526-01	TRANSISTOR 2SC 2458	Q2,3,4		SUBSTITUTE FOR ITEM 139
			145						
			146						
			147						
			148						
			149						
			150						
			151						
			152						

commodore

TITLE: PCB ASSY, C-64B

DRAWN BY: N. Hanamura DATE: 11-1-83
CHKD: G. Saeki DATE: 11-21-83
ENGR: S. Katayama DATE: 11-23-83
APPR:

SIZE: B

DRAWING NUMBER: 250425

SHEET 5 OF 9

REV: G

MC-Service

QUANTITY REQD PER PART/DASH NO. 03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
1	1	1	153	B	901527-01	VOLTAGE REGULATOR MC7812CT	VR1		
1	1	1	154	B	901527-02	VOLTAGE REGULATOR MC7805CT	VR2		
			155						
			156						
			157						
			158						
			159						
			160						
1	1	-	161	B	251697-01	MODULATOR GER, UK	M1		PAL
S	-	-	162	B	251025-01	PAL	M1		SUBSTITUTE FOR ITEM 161
-	-	1	163	C	251696-01	USA	M1		
S	-	-	164	B	251025-02	PAL	M1		SUBSTITUTE FOR ITEM 161
S	S	-	165	"	-03	PAL	M1		
S	S	-	166	B	251025-04	MODULATOR PAL	M1		
			167						
			168						
			169						
3	3	3	170	B	904150-07	SOCKET, IC 24PIN			USE ON : U3,4,5
2	2	2	171	"	-05	28 PIN			USE ON : U17,18
4	4	4	172	"	-06	40 PIN			USE ON : U1,2,7,19
1	1	1	173	B	904150-02	SOCKET, IC 16PIN			USE ON : U31
			174						
			175						
			176						
			177						
			178						
			179						
			180						
			181						
			182						
			183						
			184						
1	1	1	185	B	903556-18	FUSE, NORMAL BLO 250V 1.5A	F1		
			186						
			187						
			188						
			189						
2	2	2	190	B	906102-01	FUSE, CLIP			USE ON : F1

Commodore

TITLE: PCB ASSY, C-64B

DRAWN BY	DATE	ENGR	DATE	SIZE	DRAWING NUMBER	REV
N. Han HA	11-1-83	S Katayama	11-23-83	B	250125	G
CHKD: Y. Saeki Y.N.	11-21-83	APPR:			SHEET 8 OF 9	

QUANTITY REQD PER PART/DASH NO. 03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
			191						
1	1	1	192	B	251116-01	CONNECTOR, 7PIN DIN	CN7		
1	1	1	193		906100-02	44 PIN CARD EDGE	CN6		
1	1	1	194		903361-01	CONNECTOR, 6PIN DIN	CN4		
1	1	1	195		903364-01	HEADER PIN, 20PIN	CN1		
1	1	1	196		903332-03	HEADER ASSY, 3 PIN	CN10		
1	1	1	197		325573-01	CONNECTOR, 8 PIN DIN	CN5		
S	S	S	198		251057-01	CONNECTOR, 9 PIN MINI D	CN8,9		SUBSTITUTE FOR ITEM 200
S	S	S	199		903331-20	HEADER ASSY, 20PIN	CN1		SUBSTITUTE FOR ITEM 195
2	2	2	200	B	906126-01	PLUG ASSY, 9 PIN RIGHT ANGLE	CN8,9		
			201						
			202						
			203						
			204						
			205						
			206						
1	1	1	207	B	251095-01	CONNECTOR PANEL	SW1		
			208						
			209						
			210						
			211						
			212						
			213						
1	1	1	214	B	904500-01	SWITCH, ROCKER DPDT			
			215						
			216						
			217						
			218						
			219						
			220						
1	1	1	221	C	326116-01	CARTRIDGE GUIDE			
			222						
			223						
			224						
			225						
			226						
			227						
			228						

commodore

TITLE: PCB ASSY, C64B

DRAWN BY	DATE	ENGR	DATE	SIZE	DRAWING NUMBER	REV
N. Nonamura	11-1-83	G. Katayama	11-23-83	B	250425	G
CHKD Y. Saeki Y.N.	11-21-83	APPR:			SHEET 7 OF 9	

E15 1000 8307

MC-Service

QUANTITY REQD PER PART/DASH NO. 03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REVISIONS	BEND	NOTES
1	1	1	229	B	906800-02	SCREW M3×10			USE ON VR2
4	4	4	230	B	906883-03	SELF-TAPPING M3×6			USE ON 9PIN D SUB, SUB FOR ITEM 198
2	2	2	231	B	906800-01	SCREW M3×4			USE ON CONNECTOR PANEL
			232						
			233						
			234						
			235						
			236						
			237						
1	1	1	238	B	251710-01	HEATSINK			USE ON VR2
			239						
1	1	1	240	B	251724-01	INSULATOR			USE ON VR2
			241						
			242						
			243						
1	1	1	244	B	905960-03	NUT, HEXAGON M3			USE ON VR2
			245						
			246						
			247						
			248						
			249						
			250						
			251						
			252						
			253						
			254						
			255						
			256						
S	S	S	257	B	905551-04	EYELET			SUBSTITUTE FOR ITEM 229 AND 244
			258						
			259						
			260						
			261						
1	1	-	262	B	200018-12	JUMPER WIRE L=12.5 MM			USE ON CHANGING FOR PAL
			263						
			264						
			265						
			266						

commodore

TITLE: PCB ASS'Y, C64B

DRAWN BY	DATE	ENGR	DATE	SIZE	DRAWING NUMBER	REV
N. Hanamura	11-1-83	S. Katayama	11-23-83	B	250425	G
CHKD: Y.S. Y.N.	11-21-83	APPR:			SHEET 8 OF 9	

Einleitung

Dieser Ersatzteil-Katalog ist gültig für das Commodore Modell C64.

Stand: 01.03.83

Der Katalog ist so aufgebaut, daß jedem Katalogblatt eine Ersatz-Nummernaufstellung beigefügt ist.

Die Ersatzteilnummern sind den laufenden Positionskennzahlen zu entnehmen.

Die auf Seite 2 aufgeführten Positionen sind als Ersatzteile kurzfristig bei Commodore zu erhalten. Für alle anderen aufgeführten Positionen in diesem Katalog sind verlängerte Lieferzeiten zu erwarten.

Introduction

This catalogue contains all parts for the Commodore model C64.

Standard: March, 1st 1983

To every page a list of spare part numbers is included.

The items mentioned on page 2 can be received from Commodore at short notice. For all other items in this catalogue longer term for delivery must be expected.

INHALTSVERZEICHNIS

1. C64 MAIN ASSY

2. C64 COVER ASSY

3. C64 BASE ASSY

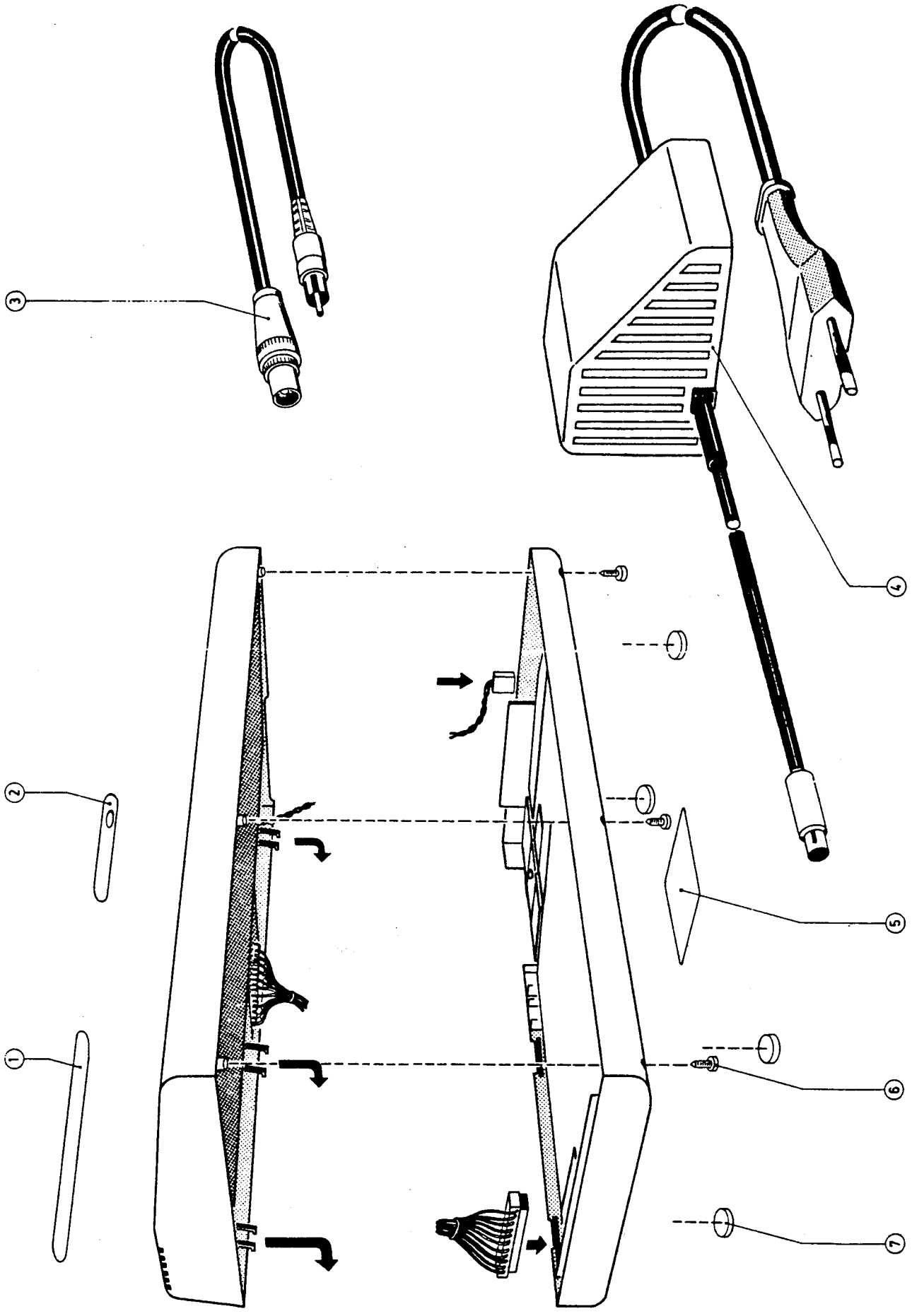
4. C64 PCB - ASSY MECHANIC

5. C64 PCB - ASSY LAYOUT OF COMPONENTES

Ersatzteil-Nr. Spare Parts No.	Benennung Description	Blatt Page	lfd. Nr. Serial No.
	RF MODULATOR	3	3
1001028-02	KEYBOARD	4	5
1001039-04	LED ASSY	4	3
326 298-03/04	PCB ASSY	5	3
326 113-01	COVER	4	1
326 114-01	BASE	5	1
900 050-11	CAPACITOR 33PF/50V 5 %		C 83
900 050-14	CAPACITOR 10PF/50V 5 %		C 70
900 050-17	CAPACITOR 39PF/50V 5 %		C 86
900 462-67	CAPACITOR 1800PF/50V 10%		C 48, 93
900 750-01	DIODE, POWER IN4001		CR 5, 6
900 850-16	DIODE, SIGNAL IN914		CR 3
900 967-01	DIODE, ZENER IN755		CR 2
901 151-17	COIL 2,2 UH		L 1,2
901 151-21	COIL 3,0 UH		L 3
901 152-01	COIL 1,2 UH		L 5
901 453-01	IC 2114L-30		U 6
901 505-01	IC 4164-2		U 9, 10, 11, 12 U 21, 22, 23, 24
901 527-01	VOLTAGE REGULATOR MC7812CT		VR 1
901 527-02	VOLTAGE REGULATOR MC7805CT		VR 2
902 265-02	POTENTIOMETER 1K OHM		R 25
902 265-03	POTENTIOMETER 1K OHM		R 27
902 410-06	RESISTOR PACK 3,3K OHM 10 PIN		RP 4
902 422-03	RESISTOR PACK 33 OHM 8 PIN		RP 1, 2
902 442-29	RESISTOR PACK 3,3K OHM 8 PIN		RP 3
902 503-06	TRANSFORMER ASSY 220V	3	4
902 503-07	TRANSFORMER ASSY 240V	3	4
902 652-01	TRANSISTOR 2N4401		Q 1
902 653-01	TRANSISTOR TIP 29B		Q 3
902 658-01	TRANSISTOR 2N3904		Q 2
902 847-03	TRANSISTOR 2N2222		Q 4, 5, 6, 7,
903 025-01	FERRITE BEAD		FB 1-18
903 326-20	CONNECTOR 20 PIN POST HDR 0,1"		CN 1
903 332-03	CONNECTOR 3 PIN POST HDR 0,1"		CN 10
903 361-01	CONNECTOR 6 PIN DIN		CN 4
903 362-01	CONNECTOR 5 PIN DIN		CN 5
903 556-22	FUSE 3AG 3A		F 1
906 100-02	CONNECTOR 44 PIN CARD EDGE		CN 6
906 103-01	DIODE, ZENER IN 747		CR 1
906 106-01	CRYSTAL 17, 73447 MHZ		X 1
906 107-01	IC 6510A		U 7
906 108-01	IC 6526A		U 1, U 2
906 111-01	IC 6569A PAL		U 19
906 112-01	IC 6581		U 18
906 114-01	IC 82S100N		U 17
906 126-01	CONNECTOR 9 PIN		CN 8, 9
906 127	ASSY LINE FILTER		L 4
906 129-01	DIODE, BRIDGE RECTIFIER		CR 4
906 130-01	CONNECTOR 7 PIN DIN		CN 7
906 140-01	IC 2332A CHAR PAL		U 5
906 141-01	IC 2364A BASIC PAL		U 3
906 142-01	IC 2364A KERNAL PAL		U 4

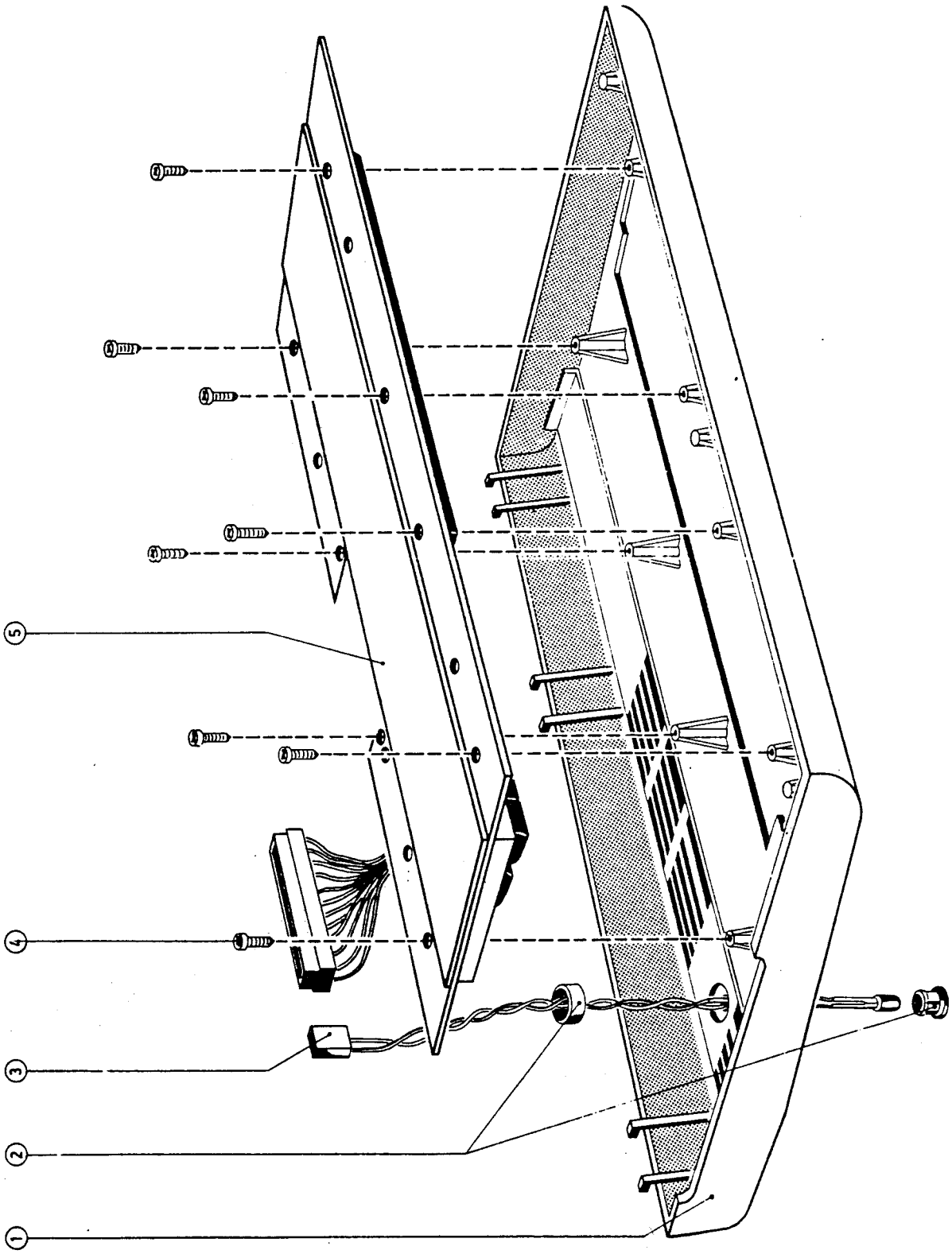
C64 MAIN ASSY

Position Position Position Posición	Benennung Term Désignation Denominación	Ersatzteilnummer Spare Parts No. No. de pieces de rechange No de requesto
1	Nameplate C64	326 161-01
2	LED Plate	326 160-01
3	RF Cable Assy	326 189-01
4	Transformer Assy 220V Ausf. A+C Transformer Assy 240V Ausf. B	902 503-06 902 503-07
5	Serial Label Ausf. A Serial Label Ausf. B Serial Label Ausf. C	326 124-04 326 124-05 326 124-06
6	3x Screw, self tapping, 2,9x10 mm	906 883-04
7	4x Foot, self adhesive	950 157-04
	Monitor-Connection-Cable	324 540-01


3
4
2
5
1
6
7

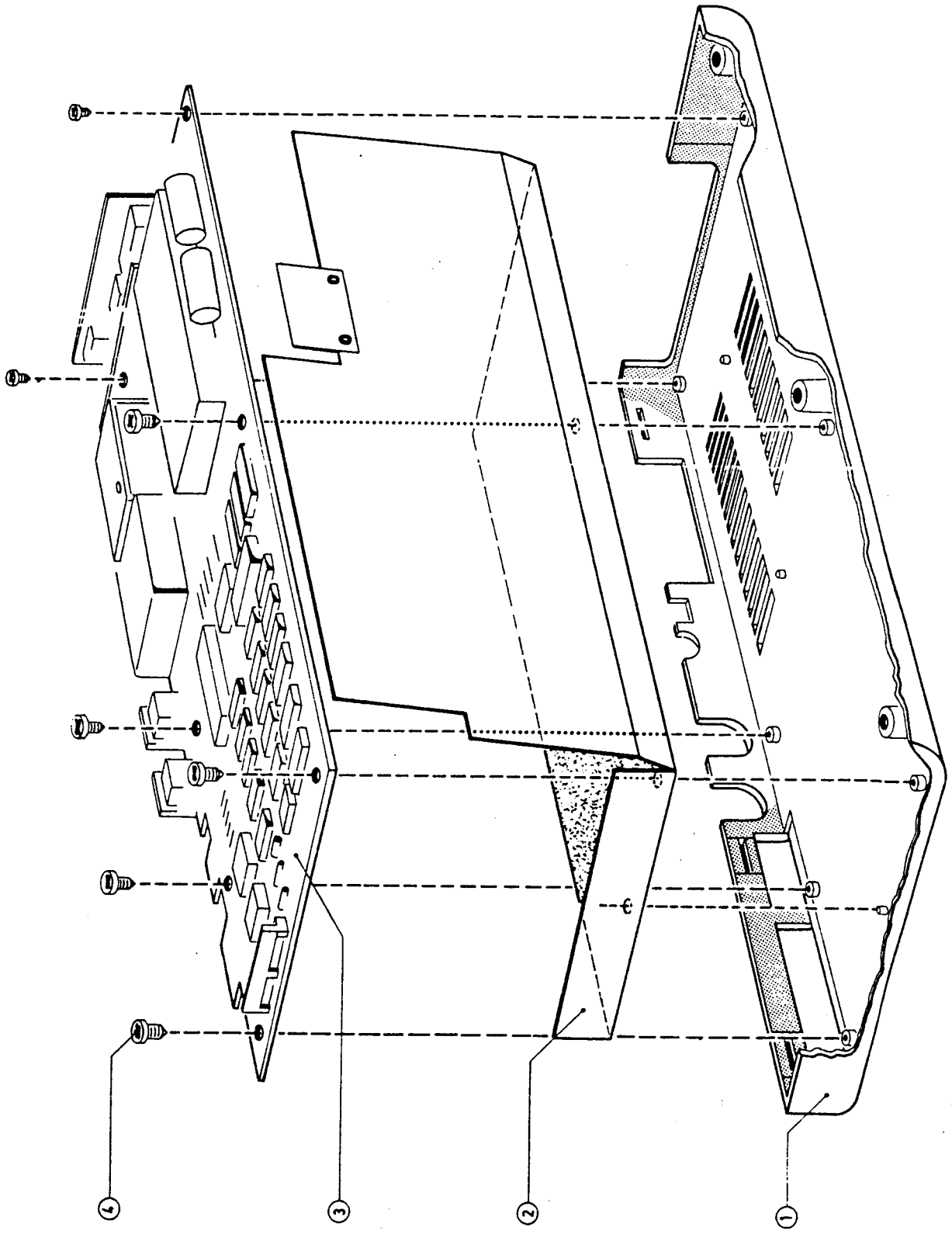
C 64 COVER ASSY

Position Position Position Posición	Benennung Term Désignation Denominación	Ersatzteilnummer Spare Parts No. No. de pieces de rechange No de requesto
1	Cover	326 113-01
2	Lampholder Set	903 820-01
3	LED Assy	1001039-04
4	8x Screw, self-tapping, 2,9x10 mm	906 883-04
5	Keyboard	1001028-02


5
4
3
2
1

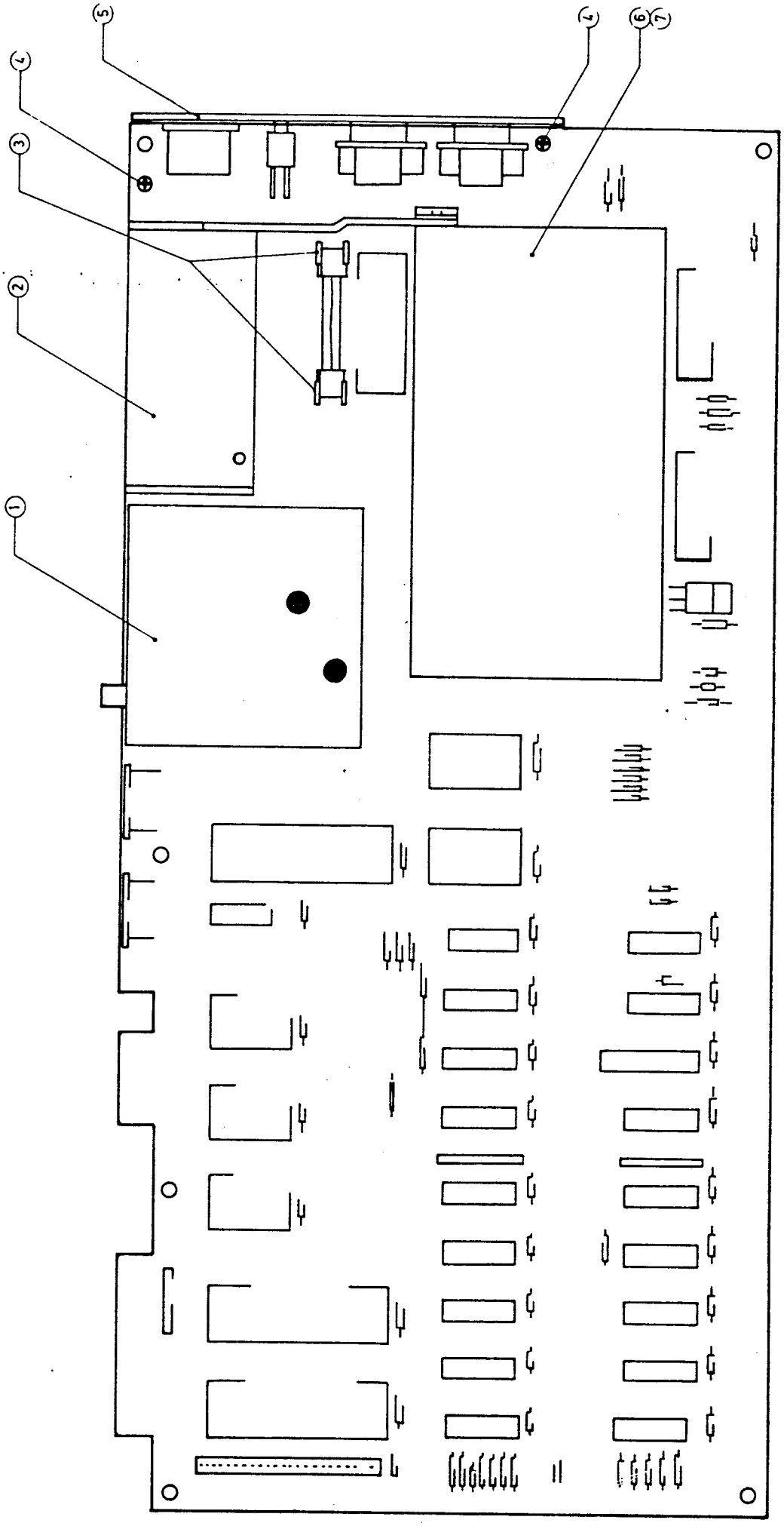
C64 BASE ASSY

Position Position Position Posición	Benennung Term Désignation Denominación	Ersatzteilnummer Spare Parts No. No. de pieces de rechange No de requesto
1	Base	326 114-01
2	Screen-shield	324 430-01
3	PCB-Assy, Ausf. A+B PCB-Assy, Ausf. B	326 298-03 326 298-04
4	7x Screw, self-tapping, 2,9x6 mm	906 883-03


4
3
2
1

C64 PCB ASSY, MECHANIC

Position Position Position Posizione	Benennung Term Désignation Denominacion	Ersatzteilnummer Spare Parts No. No. de Pieces de rechange No de repuesto
1	MODULATOR	
2	CARTRIDGE GUIDE	326116-01
3	CLIP FUSE HOLDER	906102-01
4	SCREW PAN HEAD M3x4	906800-01
5	PANEL CONNECTOR	326299-01
6	SHIELD BOX TOP	326265-01
7	SHIELD CAP ASSY (WITH HEATSINK)	326267-01


5
7
7
6
7
3
2
1

C64 PCB ASSY, LAYOUT OF COMPONENTES

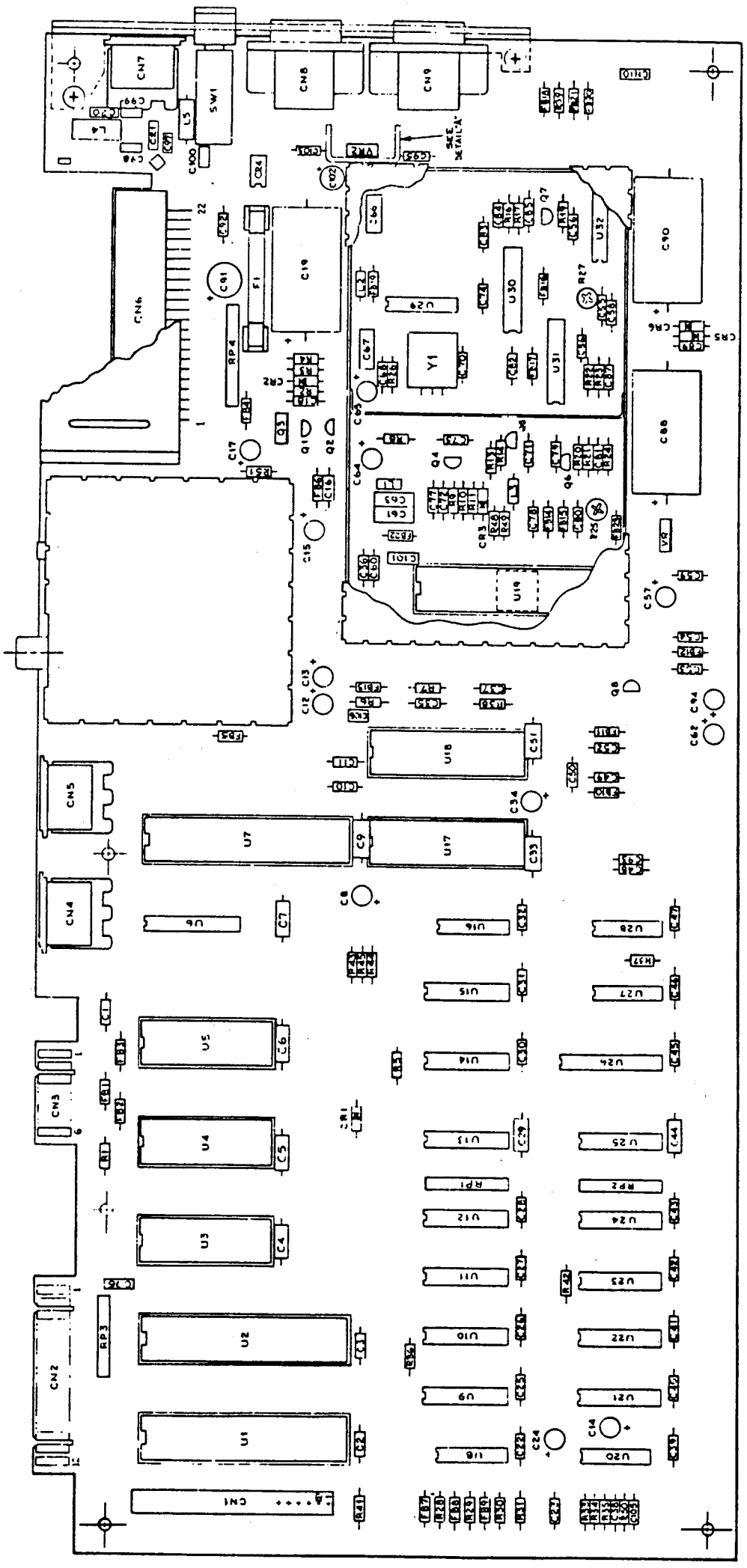
Schaltbildangabe Circuit diagram information Repére schéma Designacion del diagrama de circuito	Benennung Term Désignation Denominacion	Ersatzteilnummer Spare Parts No. No. de Pieces de rechange No de repuesto
U 34	IC 74LS175	901521-34
U 33	IC 74LS02	901521-21
U 31	IC 74LS629	901521-68
U 32	IC MC4044CP	906128-01
U 7	IC 6510A	906107-01
U 1, U 2	IC 6526A	906108-01
U 18	IC 6581	906112-01
U 17	IC 82S100N	906114-01
U 20	IC NE556	901523-03
U 16, U 28	IC 4066	901502-01
U 6	IC 2114L-30	901453-01
U 13, U 25	IC 74LS257N	901521-57
U 26	IC 74LS373N	901521-29
U 15	IC 74LS139N	901521-18
U 9, 10, 11, 12 U 21, 22, 23, 24	IC 4164-2	901505-01
U 8	IC 7406N	901522-06
U 27	IC 74LS08N	901521-03
U 14	IC 74LS258N	901521-58
U 3	IC 2364A BASIC PAL	906141-01
U 4	IC 2364A KERNAL	901227-02
U 5	IC 2332A CHAR PAL	906140-01
U 19	IC 6569 PAL	906111-01
U 29	IC 74LS74AN	901521-06

Schaltbildangabe Circuit diagram information Repére schéma Designacion del diagrama de circuito	Benennung Term Désignation Denominacion	Ersatzteilnummer Spare Parts No. No. de Pieces de rechange No de repuesto
U 30	IC 74LS193N	901521-26
Q 1	TRANSISTOR 2N4401	902652-01
Q 2	TRANSISTOR 2N3904	902658-01
Q 4, 5, 6, 7, 8	TRANSISTOR 2N2222	902847-03
Q 3	TRANSISTOR TIP 29B	902653-01
VR 1	VOLTAGE REGULATOR MC7812CT	901527-01
VR 2	VOLTAGE REGULATOR MC7805CT	901527-02
CR 5, 6	DIODE, POWER 1N4001	900750-01
CR 1	DIODE, ZENER 1N747	906103-01
CR 2	DIODE, ZENER 1N755	900967-01
CR 3	DIODE, SIGNAL 1N914	900850-16
CR 4	DIODE, BRIDGE RECTIFIER	906129-01
R 25	POTENTIOMETER 1K OHM	902265-02
R 27	POTENTIOMETER 2K OHM	902265-03
R 41	RESISTOR 1/4W 5% 1M OHM	901550-84
R 15	RESISTOR 1/4W 5% 5,6K OHM	901550-25
R 42	RESISTOR 1/4W 5% 33 OHM	901550-105
R 17	RESISTOR 1/4W 5% 1,2K OHM	901550-17
R 19	RESISTOR 1/4W 5% 15K OHM	901550-26
R 26	RESISTOR 1/4W 5% 39 OHM	901550-93
R 8, 39	RESISTOR 1/4W 5% 390 OHM	901550-57
R 14	RESISTOR 1/4W 5% 100 OHM	901550-49
R 4,6,13,16,23,28-31 36,38	RESISTOR 1/4W 5% 1K OHM	901550-01

Schaltbildangabe Circuit diagram information Repére schéma Designacion del diagrama de circuito	Benennung Term Désignation Denominacion	Ersatzteilnummer Spare Parts No. No. de Pieces de rechange No de repuesto
R 2, 5, 22	RESISTOR 1/4W 5% 1,5K OHM	901550-69
R 1, 43-45, 24	RESISTOR 1/4W 5% 3,3K OHM	901550-02
R 21	RESISTOR 1/4W 5% 4,7K OHM	901550-19
R 37, 20	RESISTOR 1/4W 5% 6,8K OHM	901550-04
R 3, 7	RESISTOR 1/4W 5% 10K OHM	901550-20
R 33,34	RESISTOR 1/4W 5% 47K OHM	901550-22
R 35	RESISTOR 1/4W 5% 470K OHM	901550-82
R 18	RESISTOR 1/4W 5% 330 OHM	901550-14
R 46	RESISTOR 1/4W 5% 2K OHM	901550-53
R 11	RESISTOR 1/4W 5% 120 OHM	901550-75
R 9	RESISTOR 1/4W 5% 75 OHM	901550-45
R 10	RESISTOR 1/4W 5% 300 OHM	901550-70
RP 4	RESISTOR PACK 3,3K OHM 10 PIN	902410-06
RP 3	RESISTOR PACK 3,3K OHM 8 PIN	902442-29
RP 1, 2	RESISTOR PACK 33 OHM 8 PIN	902422-03
C 36, 81	CAPACITOR 20PF/50V	900462-20
C 83	CAPACITOR 33PF/50V 5%	900050-11
C 86	CAPACITOR 39PF/50V 5%	900050-11
C 80, 38, 102	CAPACITOR 51PF/50V	900462-30
C 79	CAPACITOR 510PF/50V	900462-54
C 73	CAPACITOR 150PF/50V	900462-41
C 72, 78	CAPACITOR 220PF/50V	900462-45
C 23	CAPACITOR 360PF/50V	900462-50

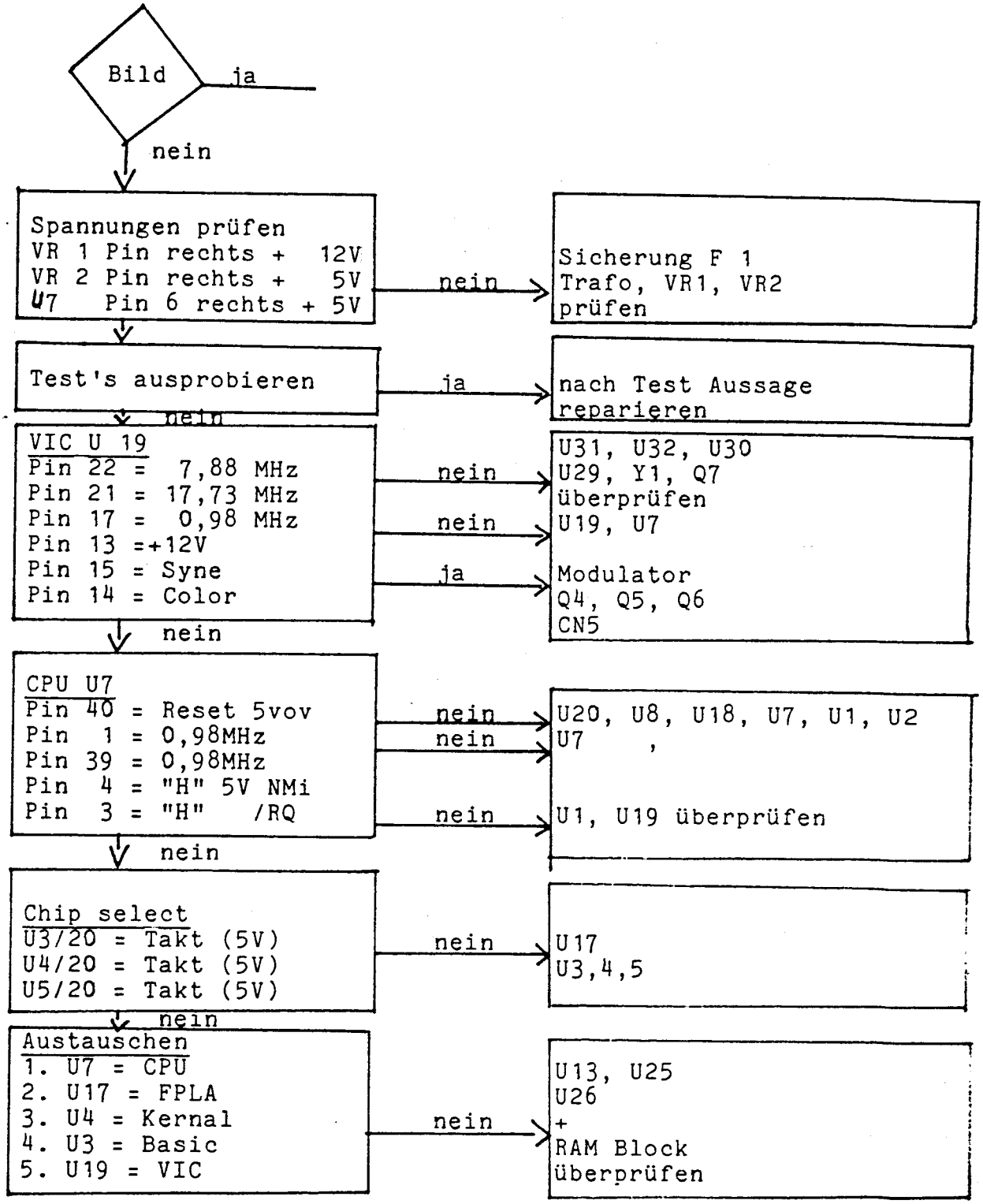
Schaltbildangabe Circuit diagram information Repére schéma Designacion del diagrama de circuito	Benennung Term Désignation Denominacion	Ersatzteilnummer Spare Parts No. No. de Pieces de rechange No de repuesto
C 49, 52, 53	CAPACITOR 470PF/50V	900462-53
C 37	CAPACITOR 1000PF/50V	900462-61
C 10, 11	CAPACITOR 470PF/25V POLY	324532-01
C 1-7,18,22,29-33,35 39,44-47,56,58,68,71 74,76,77,82,84,87,89 95,96,55,97,98,99 100,101	CAPACITOR 0,1 UF/50V	900461-28
C 9, 25-28	CAPACITOR 0,22 UF/50V	900461-32
C 20, 21	CAPACITOR 0,22 UF/25V CERAMIC	900010-58
C 61,63,66,67,85	CAPACITOR 0,47 UF/50V 20%	900464-36
C 8,12-15,17,24,34,57 62,64,65,94	CAPACITOR 10 UF/25V	900100-01
C 91	CAPACITOR 100 UF/25V	900100-20
C 88, 90	CAPACITOR 470 UF/50V	900101-34
C 19	CAPACITOR 2200 UF/16V	900101-33
C 70	CAPACITOR 10 PF/50V 5%	900050-14
C 48, 93	CAPACITOR 1800 PF/50V 10%	900462-67
C 16	CAPACITOR 0,01 UF/50V	900462-16
CN 8, 9	CONNECTOR 9 PIN	906126-01
CN 6	CONNECTOR 44 PIN CARD EDGE	906100-02
CN 5	CONNECTOR 5 PIN DIN	903362-01
CN 4	CONNECTOR 6 PIN DIN	903361-01
CN 1	CONNECTOR 20 PIN POST HDR 0,1"	903326-20
CN 10	CONNECTOR 3 PIN POST HDR 0,1"	903332-03
CN 7	CONNECTOR 7 PIN DIN	906130-01

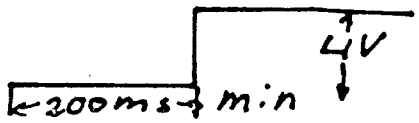
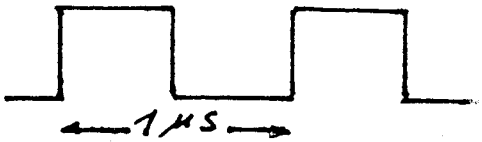
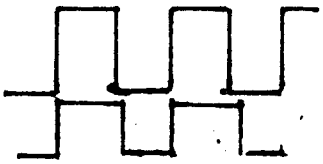
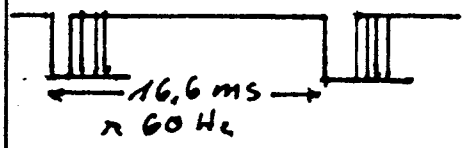
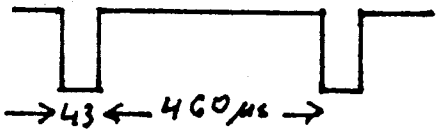
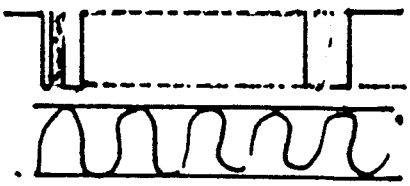
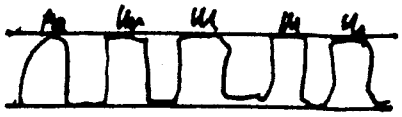
Schaltbildangabe Circuit diagram information Repère schéma Designacion del diagrama de circuito	Benennung Term Désignation Denominacion	Ersatzteilnummer Spare Parts No. No. de Pieces de rechange No de repuesto
	IC SOCKET 24 PIN	901453-03
	IC SOCKET 28 PIN	904150-05
	IC SOCKET 40 PIN	901450-06
L 5	COIL 1,2 UH	901152-01
L 1, 2	COIL 2,2 UH	901151-17
L 3	COIL 3,0 UH	901151-21
L 4	ASSY LINE FILTER	906127
X 1	CRYSTAL 17,73447 MHZ	906106-01
F 1	FUSE 3AG 3A	903556-22
FB 1-18	FERRITE BEAD	903025-01
SW 1	SWITCH ROCKER DPDT	904500-01


CN7
SW1
CN8
CN9
CN6
F1
C19
RP4
Y1
U30
U31
U32
C90
C88
U19
U18
U7
U17
U5
U4
U3
U2
U1
CN5
CN4
CN3
CN2
CN1
RP3
RP1
RP2

Fehlersuche C 64

Osz.: 2V/cm/Dc
5ms/cm

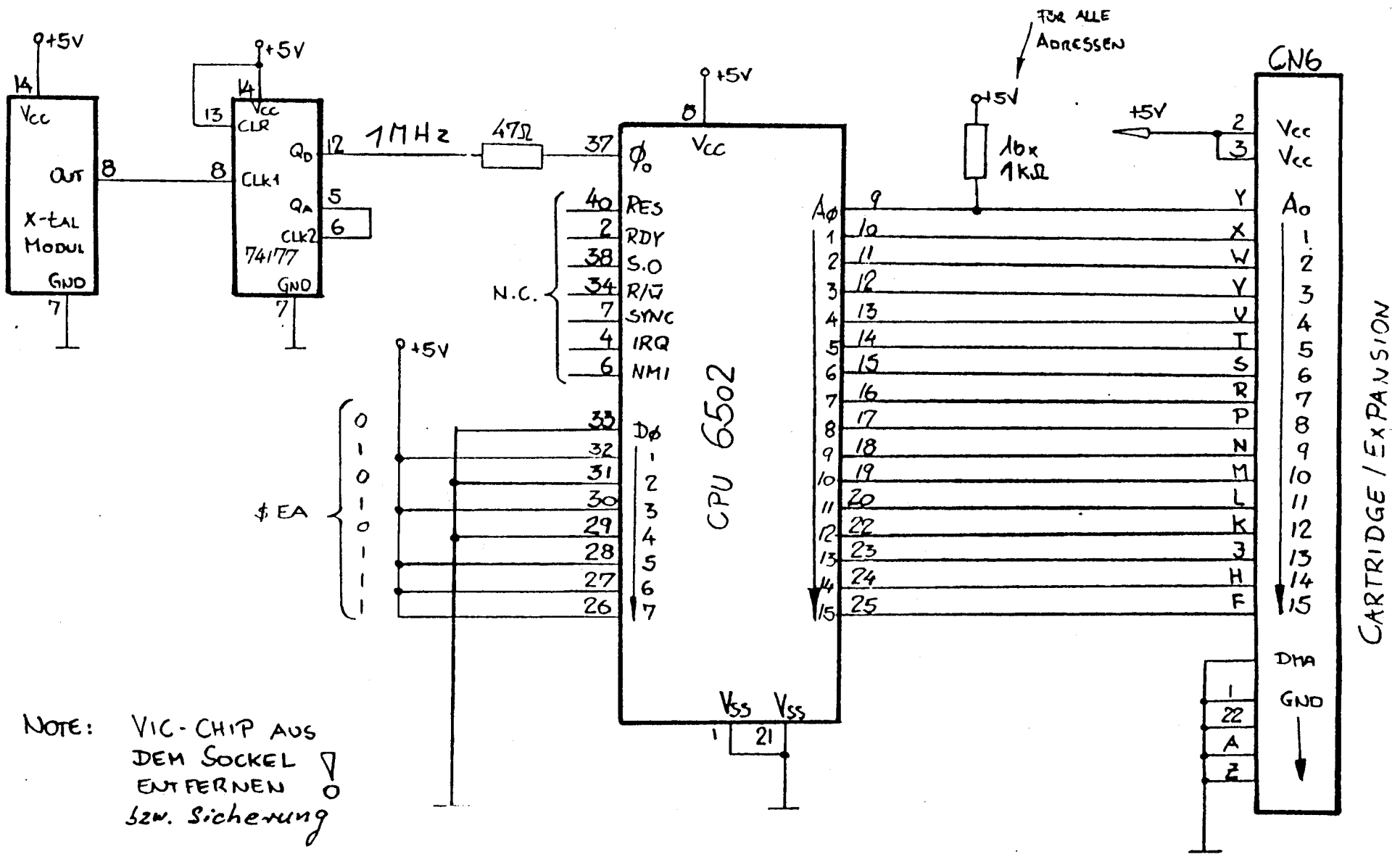


	Bezeichnung	Meßpunkt	Erscheinung
1.	Spannung + 5V	L5	+ 5V
	CAN 5V	U19/40	+ 5V
	+ 12V	U18/28	+ 12V
	+ 9V ung	CRCA	ca 9V
2.	$\overline{\text{Reset}}$ (nur k. Eing.)	U7/40	
3.	Φ_2	U7/39	
4.)	AEC	U7/5	
5.	$\overline{\text{RAS}}$	U19/18	
	$\overline{\text{CAS}}$	U19/19	
6.	$\overline{\text{LRAM}}$	U7/29	H
	$\overline{\text{HRAM}}$	128	H — L = Bild ohne Inhal
	$\overline{\text{CHREN}}$	127	H — L = Kein Bild
			H
7.	$\overline{\text{NMI}}$	U7/4	
	$\overline{\text{IRQ}}$	U7/3	
8.	RDY ≙ BA	U7/2	
	AEC	U7/5	
9.	ADR 0 - 15	U7/7-23	
10.	DATEN 0 - 7	U7/30-37	

11. Weiter mit NOP - TESTER

AUFBAU EINES NOP-TESTERS

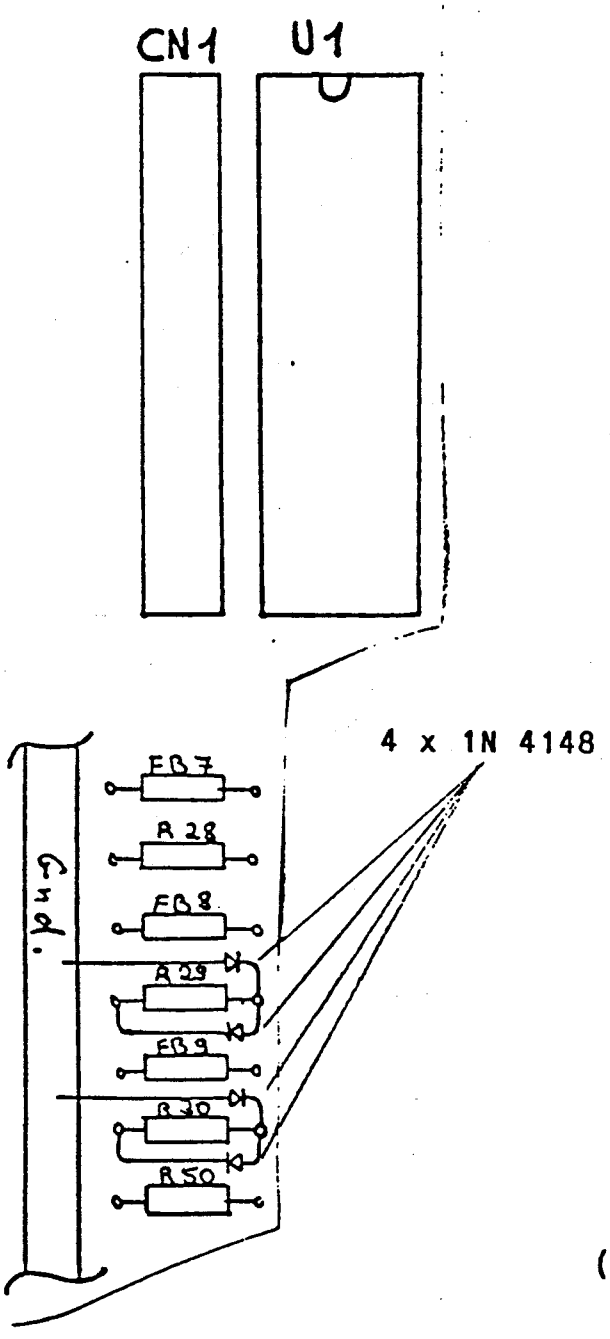
C=64



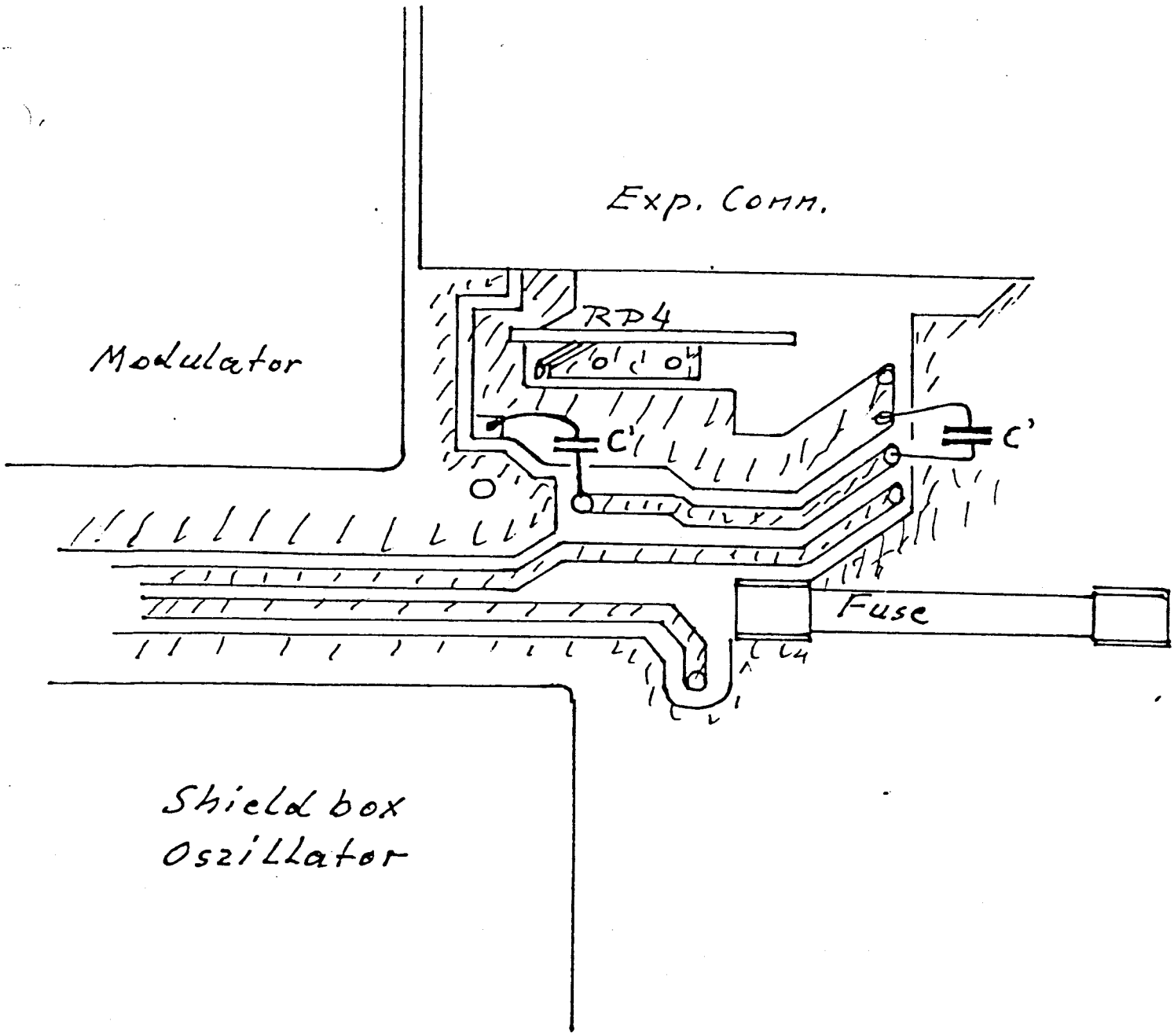
Schutzdioden für Port U2 (6526) im c64

Wird die im deutschen Bedienungshandbuch 1541 beschriebene Reihenfolge beim Anschluß einer Floppy nicht eingehalten (zuerst Interface-Kabel anschließen, dann die Floppy an das Netz anschließen), kann der Port U2 beim Anschließen eines Peripheriegerätes zerstört werden.

Mit 4 zusätzlichen Dioden (1N4148 o.ä.) kann der Port ge - schützt werden.



(Bestückungsseite)



Shield box

C' 2 additional caps 5nF ceramic
to stabilize TV - picture
and reduce radiation.

PCB C64 B
Assy No. 250425

MC-Service 28.11.84

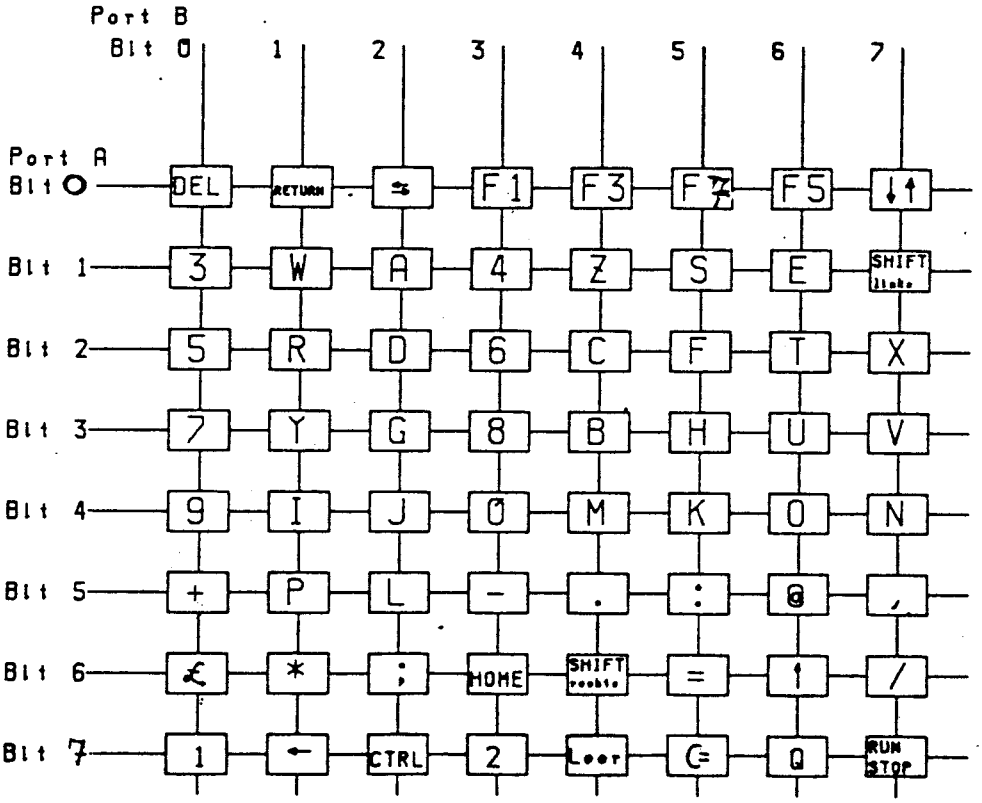
Störungsauswertung

Fehlerart	Prozent
6526	16
6510	7,2
Sicherung defekt	7,8
kein Fehler feststellbar	23,2
ROM 2364	2,0
PCB gewechselt	10,8
6581 SID Chip	3,3
82 S 100 (FPLA)	1,6
ROM 2332 (Char. Gener.)	1,4
Power Supply	4,6
Modulator	4,5
Unterbrechnung	3,5
Leuchtdiode	1
TTL defekt	2
Tastatur	1,5
Gehäusebruch	0,3
RAM 4116	0,8
PAL Chip 6569	1,5
Nebenschluß	2,3
RAM 2114 defekt	0,2
ROM 25-01 defekt	0,7
Schalter defekt	0,3

Commodore - Testmittel

321241 -04	Alignment-Diskette	242,00	1540 3040 4040 2031
970016 -03	Alignment-Diskette	208,00	8050 8250
320372 -04	8032 Diagnostic Box	465,00	
320100	User Steck	29,08	
320106	Tastatur Steck	22,71	
320372-02	3032 9"BS	465,00	(Diagnostic Box)
320372-06	4001 9"BS	465,00	(Diagnostic Box)
320372-66	4032 12"BS	192,00	(Diagnostic Box)
324159-01	VC-20	441,00	(Diagnostic Box)
324517-01	C-64	465,00	(Diagnostic Box)
324802-01	CBM 8296	420,00	(Diagnostic Box)
324844-01	Burn In	152,00	C64

TASTATUR MATRIX



QUANTITY REQD PER PART/DASH NO. 08	07	06	05	04	03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
2	2	2	2	2	2	2	2	77	B	900750-01	DIODE IN4001.	CR3,4		
13	13	13	13	13	13	13	13	78	B	2518.19-16	DIODE IN914 ®	CR5,9,11-21		
S	S	S	S	S	S	S	S	79	B	2518.19-01	DIODE IN4148 ®	CR5,9,11-21		SUBSTITUTE FOR ITEM 78
								80						
								81						
								82						
								83						
1	1	1	1	1	1	1	1	84	B	900927-01	DIODE, ZENER RD6.8EB	CR1		6.8V
1	1	1	1	1	1	1	1	85		906103-04	RD3.0EB1	CR6		3.0V
S	S	S	S	S	S	S	S	86		900927-02	IN754A	CR1		SUBSTITUTE FOR ITEM 84 6.8V
S	S	S	S	S	S	S	S	87		906103-05	RD3.0EB2	CR6		SUBSTITUTE FOR ITEM 85 3.0V
-	-	-	-	1	1	1	1	88		252313-63	RD10ESB2	CR7		FOR 8580 (HMOS SID), V_Z = 9.68-9.90 AT 5mA
1	1	1	1	-	-	-	-	89	B	252313-75	DIODE, ZENER RD13ESB2	CR7		FOR 6581 (HMOS SID), V_Z = 12.59-13.16 AT 5mA
-	-	-	-	S	S	S	S	90	B	252337-61	DIODE, ZENER HZ11A1	CR7		SUBSTITUTE FOR ITEM 88
S	S	S	S	-	-	-	-	91	B	252337-74	DIODE, ZENER HZ12B2	CR7		SUBSTITUTE FOR ITEM 89
								92						
								93						
								94						
								95						
1	1	1	1	1	1	1	1	96	B	251026-01	DIODE BRIDGE RECTIFIER S2VB10	CR2		
S	S	S	S	S	S	S	S	97		-02	DBA202	CR2		SUBSTITUTE FOR ITEM 96
S	S	S	S	S	S	S	S	98	B	251026-03	DIODE BRIDGE RECTIFIER DBA20C	CR2		SUBSTITUTE FOR ITEM 96
								99						
								100						
9	9	9	9	9	9	9	9	101	B	251242-01	EMI FILTER 270PF	EMI-9		
								102						
								103						
1	-	-	-	1	-	-	-	104	B	251756-02	RESISTER, WOUND 20Ω 5W 5%	R2		FOR FRANCE VERSION
1	1	1	1	1	1	1	1	105		251068-65	CARBON 390Ω 1/4W 5%	R5		
1	1	1	1	1	1	1	1	106		-69	560Ω	R16		
3	3	3	3	2	2	2	2	107		-76	1kΩ	R3,12(8)		
2	2	2	2	2	2	2	2	108		-101	10kΩ	R9,17		
1	1	1	1	1	1	1	1	109		251068-126	100kΩ 1/4W 5%	R14		
1	1	1	1	1	1	1	1	110		901600-38	470Ω 1/2W 5%	R1		
1	1	1	1	1	1	1	1	111		251068-51	100Ω 1/4W 5%	R101		
1	1	1	1	1	1	1	1	112		901600-14	10Ω 1/2W 5%	R19		
1	1	1	1	1	1	1	1	113	B	251068-82	RESISTER, CARBON. 1.8KΩ 1/4W 5%	R100		
								114						

commodore

TITLE: PCB ASSY, C-64 BN/E

DRAWN BY:	DATE	ENGR:	DATE	SIZE	DRAWING NUMBER
R. da	1-27-86	S Vetrano	3/28/86	B	25 469
CHKD:		APPR:			SHEET 2 OF 7

PART NO.	DESCRIPTION
250469-01	PCB ASSY, C-64 BN/E USA
-02	GER
-03	UK
-04	FRANCE
-05	USA
-06	GER
-07	UK
250469-08	PCB ASSY, C-64 BN/E FRANCE

LTR	ZONE	DESCRIPTION	DATE	APPROVED
A1		ADVANCE ENGINEERING RELEASE	4/1/86	M. Yukimura
2		PILOT PRODUCTION RELEASE	5/15/86	G. Katagami
3		REVISID PER ECO 860691	1-14-87	YN
4		REVISED PER ECO 870086	3-27-87	R. Zucker

1. SHEET 7 OF 7 SIZE C

ASSY DWG

NOTES-UNLESS OTHERWISE SPECIFIED:

commodore	TITLE: PCB ASSY, C-64 BN/E	DRAWN BY: R. Ida	DATE: 1-27-86	ENGR: G. Katagami	DATE: 3/24/86	SIZE: B	DRAWING NUMBER: 250469
		CHKD: G. Katagami	3/24/86	APPR: M. Yukimura	5/1/86		SHEET 1 OF 7

ART/DASH NO. 08	07	06	05	04	03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
1	1	1	1	1	1	1	1	153	B	251118-01	CONNECTOR, 7 PIN DIN	CN7		POWER INPUT
1	1	1	1	1	1	1	1	154		252166-01	6 PIN DIN	CN4		SERIAL BUS (SHIELD TYPE)
1	1	1	1	1	1	1	1	155		252168-01	8 PIN DIN	CN5		AUDIO/VIDEO (SHIELD TYPE)
1	1	1	1	1	1	1	1	156		906100-02	44 PIN CARD EDGE	CN6		EXPANSION
2	2	2	2	2	2	2	2	157		251057-01	CONNECTOR, 9 PIN MINI D	CN8, 9		CONTROL PORT
S	S	S	S	S	S	S	S	158		252387-01	CONNECTOR, 6 PIN DIN	CN4		SUBSTITUTE FOR ITEM 154
1	1	1	1	1	1	1	1	159		903364-01	HEADER PIN, 20 PIN	CN1		KEYBOARD
S	S	S	S	S	S	S	S	160		903331-20	HEADER ASSY, 20 PIN	CN1		SUBSTITUTE FOR ITEM 159
1	1	1	1	1	1	1	1	161	B	903332-03	HEADER ASSY, 3 PIN	CN10		
S	S	S	S	S	S	S	S	162	B	252452-01	CONNECTOR, 8 PIN DIN	CN5		SUBSTITUTE FOR ITEM 155
S	S	S	S	S	S	S	S	163	B	251057-02	CONNECTOR, 9 PIN MINI D	CN8, 9		SUBSTITUTE FOR ITEM 157
								164						
								165						
								166						
								167						
1	1	1	1	1	1	1	1	168	B	904500-01	SWITCH, ROCKER DPDT	SW1		
S	S	S	S	S	S	S	S	169	B	252182-01	SWITCH, POWER ROCKER	SW1		SUBSTITUTE FOR ITEM 168
								170						
1	1	1	1	1	1	1	1	171	B	326116-01	CARTRIDGE GUIDE			
								172						
								173						
4	4	4	4	4	4	4	4	174	B	906883-03	SCREW, SELF TAPPING M3 x 6			USE ON 9 PIN DSUB
								175						
								176						
								177						
								178						
								179						
								180						
								181						
								182						
								183						
								184						
								185						
								186						
								187						
								188						
								189						
								190						

Commodore	TITLE: PCB ASY, C-64 BN/E	DRAWN BY: R.S.	DATE 1-27-86	ENGR: S.K. Jogerson	DATE 2/28/86	SIZE B	DRAWING NUMBER 250169
		CHKD:		APPR:			SHEET 6 OF 7

PART/DASH NO. 08	07	06	05	04	03	02	01	ITEM	QS	PART NUMBER	DESCRIPTION	REF DES	BEN	NOTES
1	1	1	1	1	1	1	1	115	B	902441-22	RESISTOR PACK 1kΩ 6PIN	RP6		SEL.
1	1	1	1	1	1	1	1	116	↕	902412-07	↕ 3.3kΩ 9PIN	RP4		8EL
2	2	2	2	2	2	2	2	117	B	902442-29	RESISTOR PACK 3.3kΩ 8PIN	RP3,5		7EL
								118						
								119						
								120						
								121						
								122						
1	1	1	1	1	1	1	1	123	B	902694-01	TRANSISTOR 2SD880	Q1		
2	2	2	2	2	2	2	2	124	↕	902693-01	↕ 2SC1815	Q2,3		
S	S	S	S	S	S	S	S	125		902653-01	TIP29A	Q1		SUBSTITUTE FOR ITEM 123
S	S	S	S	S	S	S	S	126		902694-02	2SD476Ⓚ C	Q1		123
S	S	S	S	S	S	S	S	127		902694-03	2SD313 E/F.	Q1		123
S	S	S	S	S	S	S	S	128		251294-01	2SD1310	Q1		123
S	S	S	S	S	S	S	S	129		902671-01	2SC945	Q2,3		124
S	S	S	S	S	S	S	S	130		251526-01	2SC2458	Q2,3		SUBSTITUTE FOR ITEM 124
								131		---				
1	1	1	1	1	1	1	1	132	B	252338-01	TRANSISTOR NPN 900mW	Q5		
								133						
								134						
								135						
								136						
								137						
								138						
								139						
-	-	-	1	-	-	-	1	140	C	252405-01	MODULATOR NTSC	M1		
1	1	1	-	1	1	1	-	141	↕	251916-01	↕ PAL	M1		
								142	↕		↕			
S	S	S	-	S	S	S	-	143	C	251916-02	MODULATOR PAL	M1		SUBSTITUTE FOR ITEM 141
1	1	1	1	1	1	1	1	144	B	904150-02	SOCKET, IC 16PIN			USE ON U20
1	1	1	1	1	1	1	1	145	↕	904150-05	↕ SOCKET, IC 28PIN			USE ON U9
1	1	1	1	1	1	1	1	146	B	904150-06	SOCKET, IC 40PIN			USE ON U7
								147						
								148						
								149						
1	1	1	1	1	1	1	1	150	B	903556-18	FUSE, NORMAL BLO 250V 1.5A	F1		
								151						
2	2	2	2	2	2	2	2	152	B	906102-02	FUSE, CLIP			USE ON F1

commodore

TITLE: PCB ASSY, C-64 BN/E

DRAWN BY:	DATE	ENGR:	DATE	SIZE	DRAWING NUMBER	REV
R. Vda	1-27-84	A. Kutmas	3/24/84	B	250469	4
CHKD:		APPR:			SHEET 5 OF 7	

MC-Service

08	07	06	05	04	03	02	01	ITEM	DS	PART NUMBER	DESCRIPTION	REF DES	BEND	NOTES
REF	REF	REF	REF	REF	REF	REF	REF	1	D	252312-01	SCHEMATIC DIAGRAM, C-64 BN/E			
								2						
								3						
								4						
1	1	1	1	1	1	1	1	5	C	252311-01	PCB, C-64 BN/E			
								6						
								7						
								8						
1	1	1	1	1	1	1	1	9	A	318012-01	IC, 8500	U6		
2	2	2	2	2	2	2	2	10	B	906108-01	" 6526	U1, U2		
			1				1	11	A	318014-01	" 8562	U7		(NTSC)
1	1	1		1	1	1		12	A	318027-01	IC, 8565	U7		(PAL)
								13						
-	-	-	-	1	1	1	1	14	B	318013-01	IC, 8580	U9		
1	1	1	1	1	1	1	1	15	B	901225-01	" 2332 ROM CHAR US. PAL	U5		(2332C-250)
1	1	1	1	1	1	1	1	16	A	251913-01	" 128K ROM US. PAL	U4		
2	2	2	2	2	2	2	2	17	B	901502-01	" 4066	U12, 21		
1	1	1	1	1	1	1	1	18		901522-06	" 7406	U22		
1	1	1	1	1	1	1	1	19		901521-03	" 74LS08	U3		
1	1	1	1	1	1	1	1	20	B	901521-30	" 74LS14	U23		
1	1	1	1	1	1	1	1	21	A	251527-08	" 8701T6	U20		
1	1	1	1	1	1	1	1	22	B	901453-07	" 2114 (200 NSEC)	U19		
1	1	1	1	-	-	-	-	23	B	906112-01	" 6581	U9		
-	-	-	S	-	-	-	S	24	A	251527-09	" 8701L6	U20		SUBSTITUTE FOR ITEM 21
2	2	2	2	2	2	2	2	25	B	390083-02	IC, 64K x 4 D-RAM	U10, 11		
S	S	S	S	S	S	S	S	26	B	901453-09	IC, 2114 (150NSEC)	U19		SUBSTITUTE FOR ITEM 22
								27						
S	S	S	S	S	S	S	S	28	B	901522-14	IC, 7416	U22		SUBSTITUTE FOR ITEM 18
								29						
								30						
								31						
								32						
								33						
1	1	1	1	1	1	1	1	34	B/C	251715-01	IC, MEMORY CONTROLLER	U8		
								35						
								36						
								37						
								38						

commodore

TITLE: PCB, ASSY, C-64 BN/E

DRAWN BY: Ida DATE: 1-27-86

ENGR: S.K. Tajima DATE: 2/4/86

APPR:

SIZE: B

DRAWING NUMBER: 2 0469

QUANTITY REQD PER PART/DASH NO. 08	07	06	05	04	03	02	01	ITEM	DS	PART NUM	DESCRIPTION	REF DES	BEND	NOTES
8	8	8	8	6	6	6	6	39	A	251069-04	CAPACITOR, CERAMIC Ⓡ 470pF 50V	C2-4,6,76,90		(C70, 71)
1	1	1	1	1	1	1	1	40		-08	Ⓡ 1000pF 50V	C74		
-	-	-	-	2	2	2	2	41		251069-12	Ⓡ 2200pF 25V	C80, 81		
17	17	17	17	17	17	17	17	42	A	251075-06	Ⓡ 0.1μF 25V	C1, 7, 28-30, 34, 35, 37, 39, 40, 47, 48, 55, 61, 69, 79, 84		
-	-	-	-	2	2	2	2	43	B	251304-71	CAPACITOR, CERAMIC Ⓡ 22000pF 50V M	C70, 71		
								44						
1	1	1	1	1	1	1	1	45	B	251070-24	CAPACITOR, CERAMIC Ⓡ 150PF 50V	C94		
3	3	3	3	3	3	3	3	46		251071-26	CAPACITOR, CERAMIC Ⓡ 220PF 50V	C86-88		
1	1	1	1	1	1	1	1	47		251079-06	CAPACITOR, ELECTROLYTIC Ⓡ 2.2μF 50V	C44		
1	1	1	1	1	1	1	1	48		900100-11	Ⓡ 4.7μF 25V	C59		
1	1	1	1	1	1	1	1	49		-01	Ⓡ 10μF 25V	C77		
1	1	1	1	1	1	1	1	50		-40	Ⓡ 100μF 16V	C58		
1	1	1	1	1	1	1	1	51		900100-03	Ⓡ 220μF 25V	C65		
-	1	1	1	-	1	1	1	52		900101-52	Ⓐ 1000μF 16V	C63		
1	1	1	1	1	1	1	1	53		900100-33	Ⓡ 47μF 16V	C36		
1	1	1	1	1	1	1	1	54		900100-18	Ⓡ 220μF 16V	C43		
1	1	1	1	1	1	1	1	55	B	390101-07	CAPACITOR, ELECTROLYTIC Ⓡ 470μF 35V	C66		
2	2	2	2	-	-	-	-	56	A	251069-11	CAPACITOR, CERAMIC Ⓡ 1800pF 50V 10% B	C80, 81		
								57						
1	-	-	-	1	-	-	-	58	B	900101-33	CAPACITOR, ELECTROLYTIC Ⓐ 2200μF 16V	C63		FOR FRANCE VERSION
-	-	-	-	5	5	5	5	59		251074-09	CAPACITOR, CERAMIC Ⓡ 22000pF 25V M	C70, 71		SUBSTITUTE FOR ITEM 43.
1	1	1	1	1	1	1	1	60	B	251029-02	CAPACITOR, TRIMMER 7-70pF	CT-1		
1	1	1	1	1	1	1	1	61	A	251075-01	CAPACITOR, CERAMIC Ⓡ 0.01μF	C56		
								62						
								63						
								64						
								65						
1	1	1	1	1	1	1	1	66	B	252214-01	FERRITE BEAD, 2 TURN	FB1		
3	3	3	3	3	3	3	3	67	B	325563-01	FERRITE BEAD	FB2, 3, 4		
2	2	2	2	2	2	2	2	68	B	252341-01	RF CHOKE COIL	L3, 4		
1	1	1	1	1	1	1	1	69	B	251878-02	LINE FILTER 8 TERMINAL	L1		
5	5	5	5	5	5	5	5	70	B	251878-01	LINE FILTER 8 TERMINAL	L1		SUBSTITUTE FOR ITEM 69
								71						
			1				1	72	B	251467-01	CRYSTAL 14.31818 MHz	Y1		CL = 18pF
1	1	1		1	1	1		73		251468-01	CRYSTAL 17.73447 MHz	Y1		CL = 18pF
1	1	1	1	1	1	1	1	74		200018-15	JUMPER WIRE			USE ON Y1 FOR ITEM 72 & 73
1	1	1	1	1	1	1	1	75	B	901151-17	COIL INDUCTOR 2.2μH	L2		
								76						

commodore

TITLE: PCB ASSY, C-64 BN/E

DRAWN BY:	DATE	ENGR:	DATE	SIZE	DRAWING NUMBER	REV
R. Sola	1-27-86	S. Kitagawa	3/24/86	B	250469	4
CHKD:		APPR:			SHEET 3 OF 7	

MC-Service